

Family list

4 family members for:

JP2001281704

Derived from 3 applications.

- 1 SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD**
Publication info: **JP2001281704 A** - 2001-10-10
- 2 Semiconductor device and manufacturing method thereof**
Publication info: **US6825488 B2** - 2004-11-30
US2002110941 A1 - 2002-08-15
- 3 Semiconductor device and manufacturing method thereof**
Publication info: **US2005056848 A1** - 2005-03-17

Data supplied from the *esp@cenet* database - Worldwide

DIALOG(R)File 347:JAPIO

(c) 2006 JPO & JAPIO. All rts. reserv.

07054069 ****Image available****

SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

PUB. NO.: **2001-281704** [JP 2001281704 A]

PUBLISHED: October 10, 2001 (20011010)

INVENTOR(s): YAMAZAKI SHUNPEI

 KOYAMA JUN

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 2001-018600 [JP 200118600]

FILED: January 26, 2001 (20010126)

PRIORITY: 2000-018097 [JP 200018097], JP (Japan), January 26, 2000
(20000126)

INTL CLASS: G02F-001/1368; G09F-009/30; H01L-029/786

ABSTRACT

PROBLEM TO BE SOLVED: To improve the aperture ratio of pixels of a reflection type display device without increasing the number of masks and without using black masks.

SOLUTION: In this device, the high aperture ratio of a pixel is realized by arranging a pixel electrode 160 so that one part of it is overlapped on a gate wiring 143 and an island shaped source wiring 139 in a place shielding the light between pixels and by providing the color filter (lamination layer of red or red and blue) which is provided on a counter substrate in a place shielding the light of a TFT.

COPYRIGHT: (C) 2001,JPO

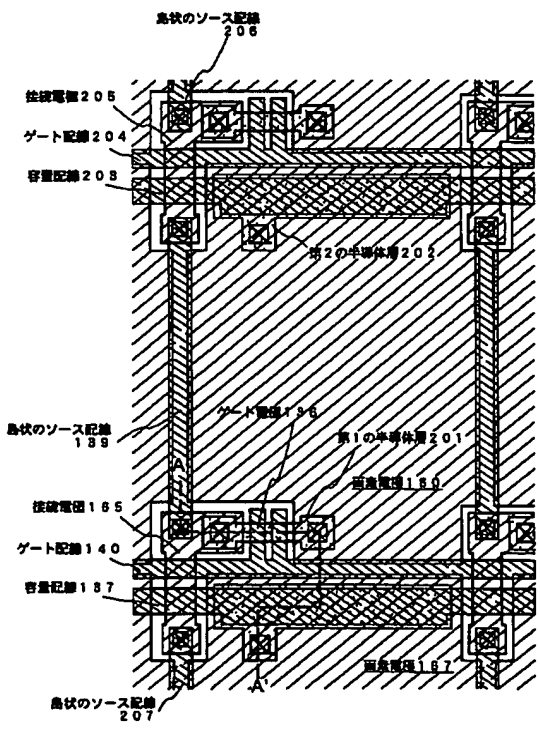
(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 C 6 1 7 K

審査請求 未請求 請求項の数32 O L (全 32 頁)

(21) 出願番号	特願2001-18600 (P2001-18600)	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成13年 1 月26日 (2001. 1. 26)	(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(31) 優先権主張番号	特願2000-18097 (P2000-18097)	(72) 発明者	小山 潤 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(32) 優先日	平成12年 1 月26日 (2000. 1. 26)		
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】
【課題】 マスク数を増加させることなく、ブラックマスクを用いずに反射型表示装置の画素開口率を改善する。
【解決手段】 画素間を遮光する箇所は、画素電極160をゲート配線143及び島状のソース配線139と一部重なるように配置し、TFTを遮光する箇所は、対向基板に設けられたカラーフィルタ（赤または赤と青の積層）を設けることによって高い画素開口率を実現する。



【特許請求の範囲】

【請求項１】絶縁表面上に第１の半導体層及び第２の半導体層と、
前記第１の半導体層及び第２の半導体層上に第１絶縁膜と、
前記第１絶縁膜上に前記第１の半導体層と重なるゲート配線と、
前記第２の半導体層の上方に位置する前記第１絶縁膜上に容量配線と、
前記第１の絶縁膜上に島状のソース配線と、
前記ゲート配線、前記容量配線、及び前記島状のソース配線とを覆う第２絶縁膜と、
前記第２絶縁膜上に前記島状のソース配線及び前記第１の半導体層と接続された接続電極と、
前記第２絶縁膜上に前記第１の半導体層と接続された画素電極とを有し、
前記画素電極は、前記第２絶縁膜を間に挟んで前記島状のソース配線と重なっていることを特徴とする半導体装置。

【請求項２】請求項１において、前記島状のソース配線は、画素毎に複数配置されており、前記島状のソース配線は、それぞれ前記接続電極によって接続されていることを特徴とする半導体装置。

【請求項３】請求項１または請求項２において、前記画素電極は、前記第２絶縁膜を間に挟んで前記ゲート配線と重なっていることを特徴とする半導体装置。

【請求項４】第１の基板と、第２の基板と、前記第１の基板と前記第２の基板とが貼り合わされた基板間に液晶を保持している半導体装置であって、
前記第１の基板上には薄膜トランジスタを有する画素部及び駆動回路とが設けられ、
前記画素部は、半導体層と、該半導体層を覆う第１絶縁膜と、該第１絶縁膜上に配線と、前記配線を覆う第２絶縁膜と、該第２絶縁膜上に電極とを有し、
前記第２の基板上には、前記画素部の各画素に対応した赤色、青色、及び緑色のカラーフィルタとを有し、
第２の基板上の前記赤色のカラーフィルタと前記青色のカラーフィルタとの積層膜は、第１の基板上の前記薄膜トランジスタと重なる遮光膜となることを特徴とする半導体装置。

【請求項５】請求項４において、前記配線は、ゲート配線、島状のソース配線、及び容量配線であることを特徴とする半導体装置。

【請求項６】請求項５において、前記第１絶縁膜を間に挟んで前記容量配線と前記半導体層とが重なっている領域には、前記第１絶縁膜を誘電体とする保持容量が形成されることを特徴とする半導体装置。

【請求項７】請求項４乃至６のいずれかにおいて、前記電極は、前記半導体層に接続された画素電極と、前記島状のソース配線に接続された接続電極であることを特

徴とする半導体装置。

【請求項８】請求項４乃至７のいずれかにおいて、前記第１の基板と前記第２の基板との間隔は、前記赤色カラーフィルタと前記青色カラーフィルタと前記緑のカラーフィルタとの積層膜からなるスペーサで保持されていることを特徴とする半導体装置。

【請求項９】絶縁表面上に第１の半導体層及び第２の半導体層と、
前記第１の半導体層及び第２の半導体層上に第１絶縁膜と、
前記第１絶縁膜上に前記第１の半導体層と重なる第１の電極と、
前記第１絶縁膜上に前記第２の半導体層と重なる第２の電極と、
前記第１絶縁膜上にソース配線と、
前記第１電極と及び前記ソース配線とを覆う第２絶縁膜と、
前記第２絶縁膜上に第１の電極に接続されたゲート配線と、前記ソース配線及び前記第１の半導体層と接続された接続電極と、
前記第２絶縁膜上に前記第１の半導体層と接続された画素電極とを有し、
前記画素電極は、前記第２絶縁膜を間に挟んで前記ソース配線と重なっていることを特徴とする半導体装置。

【請求項１０】請求項９において、前記第１の半導体層と重なる第１の電極は、ゲート電極であることを特徴とする半導体装置。

【請求項１１】請求項９または請求項１０において、前記第１絶縁膜を誘電体として、前記画素電極に接続された前記第２の半導体層と、隣りあう画素のゲート配線と接続された前記第２の電極とで保持容量を形成していることを特徴とする半導体装置。

【請求項１２】請求項９乃至１１のいずれかにおいて、前記第１の半導体層は、半導体に一導電型を付与する不純物元素を含んでおり、前記第２の半導体層は、前記一導電型とは逆の導電型を半導体に付与する不純物元素を含んでいることを特徴とする半導体装置。

【請求項１３】請求項１乃至１２のいずれかにおいて、前記ゲート配線は、一導電型を付与する不純物元素がドーピングされた poly-Si 、 W 、 WSi_x 、 Al 、 Cu 、 Ta 、 Cr 、または Mo から選ばれた元素を主成分とする膜またはそれらの積層膜からなることを特徴とする半導体装置。

【請求項１４】請求項１乃至１３のいずれかにおいて、前記第２絶縁膜は、シリコンを主成分とする第１の絶縁層と、有機樹脂材料から成る第２の絶縁層とからなることを特徴とする半導体装置。

【請求項１５】絶縁表面上に形成された半導体層と、該半導体層上に形成された絶縁膜と、該絶縁膜上に形成されたゲート電極とを含む TFT を備えた半導体装置にお

いて、
前記ゲート電極は、端部がテーパー形状である第1の導電層を下層とし、前記第1の導電層より狭い幅を有する第2の導電層を上層とし、

前記半導体層は、前記絶縁膜を間に挟んで前記第2の導電層と重なるチャネル形成領域と、該チャネル形成領域と接して形成された第3の不純物領域と、該第3の不純物領域と接して形成された第2の不純物領域と、該第2の不純物領域と接して形成された第1の不純物領域とを含むことを特徴とする半導体装置。

【請求項16】請求項15において、前記第3の不純物領域は、前記絶縁膜を間に挟んで前記第1の導電層と重なることを特徴とする半導体装置。

【請求項17】請求項15または請求項16において、前記第1の不純物領域は、ソース領域またはドレイン領域であることを特徴とする半導体装置。

【請求項18】請求項15乃至17のいずれかにおいて、前記絶縁膜のうち、前記第2の不純物領域と重なる領域はテーパー形状である部分を含むことを特徴とする半導体装置。

【請求項19】請求項15乃至18のいずれかにおいて、前記TFETはnチャネル型TFETであることを特徴とする半導体装置。

【請求項20】請求項15乃至18のいずれかにおいて、前記TFETはpチャネル型TFETであることを特徴とする半導体装置。

【請求項21】絶縁表面上に半導体層と、前記半導体層を覆う第1絶縁膜と、
前記第1絶縁膜上にソース配線と、前記第1絶縁膜上に第1絶縁膜を間に挟んで前記半導体層と重なるゲート電極と、
前記ゲート電極及び前記ソース配線を覆う第2絶縁膜と、
前記第2絶縁膜上に前記ゲート電極と接続されたゲート配線と、
前記第2絶縁膜上に前記半導体層と接続された画素電極とを有することを特徴とする半導体装置。

【請求項22】請求項1乃至21のいずれかにおいて、前記半導体装置は、反射型の液晶表示装置であることを特徴とする半導体装置。

【請求項23】請求項1乃至21のいずれかにおいて、前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、または電子遊技機器であることを特徴とする半導体装置。

【請求項24】絶縁表面上に結晶質半導体膜からなる第1の半導体層及び第2の半導体層を形成する第1工程と、
前記第1の半導体層及び前記第2の半導体層上に第1絶縁膜を形成する第2工程と、

前記第1絶縁膜上に前記第1の半導体層と重なるゲート配線と、前記第2の半導体層の上方に位置する第1絶縁膜上に容量配線と、前記第1の絶縁膜上に島状のソース配線とを形成する第3工程と、

前記ゲート配線、前記容量配線、及び前記島状のソース配線を覆う第2絶縁膜を形成する第4工程と、

前記第2絶縁膜上に前記島状のソース配線と前記第1の半導体層とを接続する接続電極と、前記島状のソース配線と重なる画素電極とを形成する第5工程とを有することを特徴とする半導体装置の作製方法。

【請求項25】一対の基板間に液晶を挟持した半導体装置の作製方法であって、

第1の基板上に結晶質半導体膜からなる第1の半導体層及び第2の半導体層を形成する第1工程と、

前記第1の半導体層及び前記第2の半導体層上に第1絶縁膜を形成する第2工程と、

前記第1絶縁膜上に前記第1の半導体層と重なるゲート配線と、前記第2の半導体層の上方に位置する第1絶縁膜上に容量配線と、前記第1の絶縁膜上に島状のソース配線とを形成する第3工程と、

前記ゲート配線、前記容量配線、及び前記島状のソース配線を覆う第2絶縁膜を形成する第4工程と、

前記第2絶縁膜上に前記島状のソース配線と前記第1の半導体層とを接続する接続電極と、前記島状のソース配線と重なる画素電極とを形成する第5工程と、

第2の基板に、各画素電極に対応した赤色、青色、緑色のカラーフィルタを形成すると同時に、少なくとも前記第1の半導体層と重なるように、前記赤色のカラーフィルタと前記青色カラーフィルタとの積層膜からなる遮光膜を形成する第6工程と、

前記第1の基板と前記第2の基板とを貼り合わせる第7工程とを有することを特徴とする半導体装置の作製方法。

【請求項26】絶縁表面上に結晶質半導体膜からなる第1の半導体層及び第2の半導体層を形成する第1工程と、

前記第1の半導体層及び前記第2の半導体層上に第1絶縁膜を形成する第2工程と、

前記第1絶縁膜上に前記第1の半導体層と重なる第1の電極と、前記第2の半導体層と重なる第2の電極と、ソース配線とを形成する第3工程と、

前記第1の電極、前記第2の電極、及び前記ソース配線を覆う第2絶縁膜を形成する第4工程と、

前記第2絶縁膜上に前記第1の電極と接続するゲート配線と、前記第1の半導体層と前記ソース配線とを接続する接続電極と、前記ソース配線と重なる画素電極とを形成する第5工程とを有することを特徴とする半導体装置の作製方法。

【請求項27】請求項26において、前記画素電極と接続された前記第2の半導体層は、隣りあう画素のゲート

配線と接続された前記第２の電極と前記第１絶縁膜を間に挟んで重なっていることを特徴とする半導体装置の作製方法。

【請求項２８】 一对の基板間に液晶を挟持した半導体装置の作製方法であって、

第１の基板上に結晶質半導体膜からなる第１の半導体層及び第２の半導体層を形成する第１工程と、

前記第１の半導体層及び前記第２の半導体層上に第１絶縁膜を形成する第２工程と、

前記第１絶縁膜上に前記第１の半導体層と重なる第１の電極と、前記第２の半導体層と重なる第２の電極と、ソース配線とを形成する第３工程と、

前記第１の電極、前記第２の電極、及び前記ソース配線を覆う第２絶縁膜を形成する第４工程と、

前記第２絶縁膜上に前記第１の電極と接続するゲート配線と、前記第１の半導体層と前記ソース配線とを接続する接続電極と、前記ソース配線と重なる画素電極とを形成する第５工程と、

第２の基板に、各画素電極に対応した赤色、青色、緑色のカラーフィルタを形成すると同時に、少なくとも前記第１の半導体層と重なるように、前記赤色のカラーフィルタと前記青色カラーフィルタとの積層膜からなる遮光膜を形成する第６工程と、

前記第１の基板と前記第２の基板とを貼り合わせる第７工程とを有することを特徴とする半導体装置の作製方法。

【請求項２９】 請求項２４乃至２８のいずれか一において、前記第２絶縁膜は、シリコンを成分とする第１の絶縁層と、有機樹脂材料から成る第２の絶縁層との積層膜からなることを特徴とする半導体装置の作製方法。

【請求項３０】 請求項２４乃至２９のいずれか一において、前記第２絶縁膜は、酸化シリコンまたは窒化シリコンまたは酸化窒化シリコンから成る第１の絶縁層と、ポリイミドまたはアクリルまたはポリアミドまたはポリイミドアミドまたはベンゾシクロブテンからなる第２の絶縁層との積層膜であることを特徴とする半導体装置の作製方法。

【請求項３１】 絶縁表面上に半導体層を形成する工程と、

前記半導体層上に絶縁膜を形成する工程と、

前記絶縁膜上に第１の導電層と第２の導電層を形成する工程と、

前記第１の導電層と第２の導電層をマスクとして一導電型を付与する不純物元素を添加して第１の不純物領域を形成する工程と、

前記第１の導電層、前記第２の導電層をエッチングして、テーパー部を有する第１の導電層と、第２の導電層を形成する工程と、

前記絶縁膜を通過させて前記半導体層に一導電型を付与する不純物元素を添加し、第２の不純物領域を形成する

と同時に、前記第１の導電層のテーパー部を通過させて前記半導体層に一導電型を付与する不純物元素を添加し、前記半導体層の端部に向かって不純物濃度が増加する第３の不純物領域を形成する工程と、を有する半導体装置の作製方法。

【請求項３２】 絶縁表面上に半導体層を形成する工程と、

前記半導体層上に絶縁膜を形成する工程と、

前記絶縁膜上に第１の導電層と第２の導電層を形成する工程と、

前記第１の導電層と第２の導電層をマスクとして一導電型を付与する不純物元素を添加して第１の不純物領域を形成する工程と、

前記第１の導電層、前記第２の導電層、前記絶縁膜をエッチングして、テーパー部を有する第１の導電層と、第２の導電層と、テーパー部を一部有する前記絶縁膜を形成する工程と、

前記テーパー部を一部有する絶縁膜を通過させて前記半導体層に一導電型を付与する不純物元素を添加し、第２の不純物領域を形成すると同時に、前記第１の導電層のテーパー部を通過させて前記半導体層に一導電型を付与する不純物元素を添加し、前記半導体層の端部に向かって不純物濃度が増加する第３の不純物領域を形成する工程と、を有する半導体装置の作製方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】 本発明は薄膜トランジスタ（以下、ＴＦＴという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【０００２】 なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【０００３】

【従来の技術】 近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百ｎｍ程度）を用いて薄膜トランジスタ（ＴＦＴ）を構成する技術が注目されている。薄膜トランジスタはＩＣや電気光学装置のような電子デバイスに広く応用され、特に液晶表示装置のスイッチング素子として開発が急がれている。

【０００４】 液晶表示装置において、高品位な画像を得るために、画素電極をマトリクス状に配置し、画素電極の各々に接続するスイッチング素子としてＴＦＴを用いたアクティブマトリクス型液晶表示装置が注目を集めている。

【０００５】 アクティブマトリクス型液晶表示装置には大きく分けて透過型と反射型の二種類のタイプが知られている。

【0006】特に、反射型の液晶表示装置は、透過型の液晶表示装置と比較して、バックライトを使用しないため、消費電力が少ないといった長所を有しており、モバイルコンピュータやビデオカメラ用の直視型表示ディスプレイとしての需要が高まっている。

【0007】なお、反射型の液晶表示装置は、液晶の光学変調作用を利用して、入射光が画素電極で反射して装置外部に出力される状態と、入射光が装置外部に出力されない状態とを選択し、明と暗の表示を行わせ、さらにそれらを組み合わせることで、画像表示を行うものである。一般に反射型の液晶表示装置における画素電極は、アルミニウム等の光反射率の高い金属材料からなり、薄膜トランジスタ等のスイッチング素子に電気的に接続している。

【0008】従来の反射型の液晶表示装置における画素構造では、ゲート配線（走査線）とソース配線（信号線）と容量配線の3本をそれぞれ線状形状にパターンニング形成している。また、ソース配線は行方向に、ゲート配線は列方向にそれぞれ配置され、それぞれの配線同士を絶縁するため、ゲート配線とソース配線との間には層間絶縁膜が設けられていた。また、ソース配線とゲート配線は、一部交差しており、その交差部近傍にTFTが配置されていることが従来の特徴である。

【0009】また、従来では、画素電極は、さらにソース配線を覆う層間絶縁膜を設け、その層間絶縁膜上に形成されていた。この構造にした場合、層数が増加すると、工程数が増えるためコスト上昇を招いていた。

【0010】また、従来の他の構造として、ソース配線と同時に形成し、それぞれのソース配線間に画素電極を形成することが知られている。この構造にした場合と、ソース配線と画素電極との間をブラックマトリクスで遮光する必要があった。

【0011】また、従来では、クロムなどで形成された金属膜を所望な形状にパターンニングしたブラックマトリクスによりTFTの遮光及び画素間の遮光を行っていた。しかしながら、ブラックマトリクスで十分に遮光するためには、ブラックマトリクスと画素電極との間に層間絶縁膜を設けて絶縁することが必要となっていた。このように層間絶縁膜の層数が増加すると、工程数が増えるためコスト上昇を招いていた。また、層間絶縁性を確保する上で不利となっていた。さらに、従来ではブラックマトリクス自体を形成するための工程及びマスクが増加してしまっていた。

【0012】また、表示性能の面から画素には大きな保持容量を持たせるとともに、高開口率化が求められている。各画素が高い開口率を持つことにより光利用効率が向上し、表示装置の省電力化および小型化が達成できる。

【0013】近年、画素サイズの微細化が進み、より高精細な画像が求められている。画素サイズの微細化は1

つの画素に占めるTFT及び配線の形成面積が大きくなり画素開口率を低減させている。

【0014】そこで、規定の画素サイズの中で各画素の高開口率を得るためには、画素の回路構成に必要な回路要素を効率よくレイアウトすることが不可欠である。

【0015】

【発明が解決しようとする課題】以上のように、少ないマスク数で画素開口率の高い反射型液晶表示装置を実現するためには、従来にない全く新しい画素構成が求められている。

【0016】本発明は、そのような要求に答えるものであり、マスク数及び工程数を増加させることなく、高い開口率を実現した画素構造を有する反射型液晶表示装置を提供することを課題とする。

【0017】

【課題を解決するための手段】上述した従来技術の課題を解決するために以下の手段を講じた。

【0018】本発明は、ブラックマトリクスを用いることなく、TFT及び画素間を遮光する画素構造を特徴としている。画素間を遮光するため、ゲート配線とソース配線を同じ絶縁膜（第1絶縁膜）上に形成し、絶縁膜（第2絶縁膜）を間に挟んで画素電極をゲート配線またはソース配線と重ねて配置する。また、TFTを遮光するため、対向基板上に遮光膜としてカラーフィルタ（赤色のカラーフィルタ、または赤色のカラーフィルタと青色のカラーフィルタの積層膜）を素子基板のTFTと重ねて配置する。

【0019】本明細書で開示する発明の構成は、図1にその一例を示すように、絶縁表面上に第1の半導体層及び第2の半導体層と、前記第1の半導体層及び第2の半導体層上に第1絶縁膜と、前記第1絶縁膜上に前記第1の半導体層と重なるゲート配線と、前記第2の半導体層の上方に位置する前記第1絶縁膜上に容量配線と、前記第1の絶縁膜上に島状のソース配線と、前記ゲート配線、前記容量配線、及び前記島状のソース配線とを覆う第2絶縁膜と、前記第2絶縁膜上に前記島状のソース配線及び前記第1の半導体層と接続された接続電極と、前記第2絶縁膜上に前記第1の半導体層と接続された画素電極とを有し、前記画素電極は、前記第2絶縁膜を間に挟んで前記島状のソース配線と重なっていることを特徴とする半導体装置である。

【0020】上記構成において、前記島状のソース配線は、画素毎に複数配置されており、前記島状のソース配線は、それぞれ前記接続電極によって接続されてソース配線を形成していることを特徴としている。また、前記画素電極は、前記第2絶縁膜を間に挟んで前記ゲート配線と重なっていることを特徴としている。

【0021】また、他の発明の構成は、第1の基板と、第2の基板と、前記第1の基板と前記第2の基板とが貼り合わされた基板間に液晶を保持している半導体装置で

あって、前記第1の基板上には薄膜トランジスタを有する画素部及び駆動回路とが設けられ、前記画素部は、半導体層と、該半導体層を覆う第1絶縁膜と、該第1絶縁膜上に配線と、前記配線を覆う第2絶縁膜と、該第2絶縁膜上に電極とを有し、前記第2の基板上には、前記画素部の各画素に対応した赤色、青色、及び緑色のカラーフィルタとを有し、第2の基板上の前記赤色のカラーフィルタと前記青色のカラーフィルタとの積層膜は、第1の基板上の前記薄膜トランジスタと重なる遮光膜となることを特徴とする半導体装置である。

【0022】上記構成において、前記配線は、ゲート配線、島状のソース配線、及び容量配線である。また、前記第1絶縁膜を間に挟んで前記容量配線と前記半導体層とが重なっている領域には、前記第1絶縁膜を誘電体とする保持容量が形成される。また、前記電極は、前記半導体層に接続された画素電極と、前記島状のソース配線に接続された接続電極である。

【0023】また、上記構成において、前記第1の基板と前記第2の基板との間隔は、前記赤色カラーフィルタと前記青色カラーフィルタと前記緑のカラーフィルタとの積層膜からなるスペーサで保持されていることを特徴としている。

【0024】また、他の発明の構成は、図10にその一例を示すように、絶縁表面上に第1の半導体層及び第2の半導体層と、前記第1の半導体層及び第2の半導体層上に第1絶縁膜と、前記第1絶縁膜上に前記第1の半導体層と重なる第1の電極と、前記第1絶縁膜上に前記第2の半導体層と重なる第2の電極と、前記第1絶縁膜上にソース配線と、前記第1電極と及び前記ソース配線とを覆う第2絶縁膜と、前記第2絶縁膜上に第1の電極に接続されたゲート配線と、前記ソース配線及び前記第1の半導体層と接続された接続電極と、前記第2絶縁膜上に前記第1の半導体層と接続された画素電極とを有し、前記画素電極は、前記第2絶縁膜を間に挟んで前記ソース配線と重なっていること特徴とする半導体装置である。

【0025】上記構成において、前記第1の半導体層と重なる第1の電極は、ゲート電極である。また、前記第1絶縁膜を誘電体として、前記画素電極に接続された前記第2の半導体層と、隣りあう画素のゲート配線と接続された前記第2の電極とで保持容量を形成している。

【0026】また、上記構成は、前記第1絶縁膜を誘電体とした保持容量を用いた例を示したが、本発明は保持容量の構成に限定されない。

【0027】他の発明の構成は、絶縁表面上に半導体層と、前記半導体層を覆う第1絶縁膜と、前記第1絶縁膜上にソース配線と、前記第1絶縁膜上に第1絶縁膜を間に挟んで前記半導体層と重なるゲート電極と、前記ゲート電極及び前記ソース配線を覆う第2絶縁膜と、前記第2絶縁膜上に前記ゲート電極と接続されたゲート配線

と、前記第2絶縁膜上に前記半導体層と接続された画素電極とを有することを特徴とする半導体装置である。

【0028】また、上記各構成において、前記ゲート配線は、一導電性を付与する不純物元素がドーピングされたpoly-Si、W、WSi_x、Al、Cu、Ta、Cr、またはMoから選ばれた元素を主成分とする膜、または合金膜、またはそれらの積層膜からなることを特徴としている。

【0029】上記各構成において、寄生容量を低減するために、前記第2絶縁膜は、シリコンを主成分とする第1の絶縁層と、有機樹脂材料から成る第2の絶縁層とからなることを特徴としている。

【0030】また、他の発明の構成は、絶縁表面上に形成された半導体層と、該半導体層上に形成された絶縁膜と、該絶縁膜上に形成されたゲート電極とを含むTFTを備えた半導体装置において、前記ゲート電極は、端部がテーパ形状である第1の導電層を下層とし、前記第1の導電層より狭い幅を有する第2の導電層を上層とし、前記半導体層は、前記絶縁膜を間に挟んで前記第2の導電層と重なるチャネル形成領域と、該チャネル形成領域と接して形成された第3の不純物領域と、該第3の不純物領域と接して形成された第2の不純物領域と、該第2の不純物領域と接して形成された第1の不純物領域とを含むことを特徴とする半導体装置である。

【0031】また、前記第1の導電層の側斜面が水平面となす角度（テーパ角とも言う）は、前記第2の導電層の側斜面が水平面となす角度より小さい。また、本明細書中では便宜上、テーパ角を有している側斜面をテーパ形状と呼び、テーパ形状を有している部分をテーパ部と呼ぶ。また、このテーパ部は、チャネル形成領域への光の入射を遮断する効果をも有している。

【0032】また、上記構成において、前記第3の不純物領域は、前記絶縁膜を間に挟んで前記第1の導電層と重なることを特徴としている。この第3の不純物領域は、テーパ部を端部に有する第1の導電層と、絶縁膜とを通過させて半導体層に不純物元素を添加するドーピングによって形成される。また、ドーピングにおいて、半導体層上に位置する材料層の膜厚が厚くなればなるほどイオンの注入される深さが浅くなる。従って、テーパ形状となっている導電層の膜厚による影響を受け、半導体層中に添加される不純物元素の濃度も変化する。第1の導電層の膜厚が厚くなるに従って半導体層中の不純物濃度が低減し、薄くなるにつれて濃度が増加する。

【0033】また、上記構成において、前記第1の不純物領域は、ソース領域またはドレイン領域であることを特徴としている。

【0034】また、上記構成において、前記絶縁膜のうち、前記第2の不純物領域と重なる領域はテーパ形状である部分を含むことを特徴としている。この第2の不純物領域は、絶縁膜を通過させて半導体層に不純物元素

を添加するドーピングによって形成される。従って、絶縁膜のうち、テーパー形状である部分の影響を受け、第2の不純物領域の不純物濃度の分布も変化する。絶縁膜の膜厚が厚くなるに従って第2の不純物領域中の不純物濃度が低減し、薄くなるにつれて濃度が増加する。なお、第2の不純物領域は第3の不純物領域と同一のドーピングによって形成されるが、第1の導電層と重なっていないため、第2の不純物領域の不純物濃度は、第3の不純物領域の不純物濃度より高い。また、チャネル長方向における前記第2の不純物領域の幅は、前記第3の不純物領域の幅と同じ、或いは前記第3の不純物領域の幅よりも広い。

【0035】また、上記構成において、前記TFTはnチャネル型TFT、あるいはpチャネル型TFTであることを特徴としている。また、本発明においてはnチャネル型TFTを用いて画素TFTを形成する。また、これらのnチャネル型TFTやpチャネル型TFTを用いたCMOS回路を備えた駆動回路を形成する。

【0036】また、上記構成において、前記半導体装置は、反射型の液晶表示装置であることを特徴としている。

【0037】また、上記構造を実現する作製工程における他の発明の構成は、絶縁表面上に結晶質半導体膜からなる第1の半導体層及び第2の半導体層を形成する第1工程と、前記第1の半導体層及び前記第2の半導体層上に第1絶縁膜を形成する第2工程と、前記第1絶縁膜上に前記第1の半導体層と重なるゲート配線と、前記第2の半導体層の上方に位置する第1絶縁膜上に容量配線と、前記第1の絶縁膜上に島状のソース配線とを形成する第3工程と、前記ゲート配線、前記容量配線、及び前記島状のソース配線を覆う第2絶縁膜を形成する第4工程と、前記第2絶縁膜上に前記島状のソース配線と前記第1の半導体層とを接続する接続電極と、前記島状のソース配線と重なる画素電極とを形成する第5工程とを有することを特徴とする半導体装置の作製方法である。

【0038】また、上記構造を実現する作製工程における他の発明の構成は、一対の基板間に液晶を挟持した半導体装置の作製方法であって、第1の基板上に結晶質半導体膜からなる第1の半導体層及び第2の半導体層を形成する第1工程と、前記第1の半導体層及び前記第2の半導体層上に第1絶縁膜を形成する第2工程と、前記第1絶縁膜上に前記第1の半導体層と重なるゲート配線と、前記第2の半導体層の上方に位置する第1絶縁膜上に容量配線と、前記第1の絶縁膜上に島状のソース配線とを形成する第3工程と、前記ゲート配線、前記容量配線、及び前記島状のソース配線を覆う第2絶縁膜を形成する第4工程と、前記第2絶縁膜上に前記島状のソース配線と前記第1の半導体層とを接続する接続電極と、前記島状のソース配線と重なる画素電極とを形成する第5工程と、第2の基板に、各画素電極に対応した赤色、青

色、緑色のカラーフィルタを形成すると同時に、少なくとも前記第1の半導体層と重なるように、前記赤色のカラーフィルタと前記青色カラーフィルタとの積層膜からなる遮光膜を形成する第6工程と、前記第1の基板と前記第2の基板とを貼り合わせる第7工程とを有することを特徴とする半導体装置の作製方法である。

【0039】また、上記構造を実現する作製工程における他の発明の構成は、絶縁表面上に結晶質半導体膜からなる第1の半導体層及び第2の半導体層を形成する第1工程と、前記第1の半導体層及び前記第2の半導体層上に第1絶縁膜を形成する第2工程と、前記第1絶縁膜上に前記第1の半導体層と重なる第1の電極と、前記第2の半導体層と重なる第2の電極と、ソース配線とを形成する第3工程と、前記第1の電極、前記第2の電極、及び前記ソース配線を覆う第2絶縁膜を形成する第4工程と、前記第2絶縁膜上に前記第1の電極と接続するゲート配線と、前記第1の半導体層と前記ソース配線とを接続する接続電極と、前記ソース配線と重なる画素電極とを形成する第5工程とを有することを特徴とする半導体装置の作製方法である。

【0040】上記構成において、前記画素電極と接続された前記第2の半導体層は、隣りあう画素のゲート配線と接続された前記第2の電極と前記第1絶縁膜と間に挟んで重なっていることを特徴としている。

【0041】また、上記構造を実現する作製工程における他の発明の構成は、一対の基板間に液晶を挟持した半導体装置の作製方法であって、第1の基板上に結晶質半導体膜からなる第1の半導体層及び第2の半導体層を形成する第1工程と、前記第1の半導体層及び前記第2の半導体層上に第1絶縁膜を形成する第2工程と、前記第1絶縁膜上に前記第1の半導体層と重なる第1の電極と、前記第2の半導体層と重なる第2の電極と、ソース配線とを形成する第3工程と、前記第1の電極、前記第2の電極、及び前記ソース配線を覆う第2絶縁膜を形成する第4工程と、前記第2絶縁膜上に前記第1の電極と接続するゲート配線と、前記第1の半導体層と前記ソース配線とを接続する接続電極と、前記ソース配線と重なる画素電極とを形成する第5工程と、第2の基板に、各画素電極に対応した赤色、青色、緑色のカラーフィルタを形成すると同時に、少なくとも前記第1の半導体層と重なるように、前記赤色のカラーフィルタと前記青色カラーフィルタとの積層膜からなる遮光膜を形成する第6工程と、前記第1の基板と前記第2の基板とを貼り合わせる第7工程とを有することを特徴とする半導体装置の作製方法である。

【0042】また、上記構造を実現する作製工程における他の発明の構成は、絶縁表面上に半導体層を形成する工程と、前記半導体層上に絶縁膜を形成する工程と、前記絶縁膜上に第1の導電層と第2の導電層を形成する工程と、前記第1の導電層と第2の導電層をマスクとして

一導電型を付与する不純物元素を添加して第1の不純物領域を形成する工程と、前記第1の導電層、前記第2の導電層をエッチングして、テーパー部を有する第1の導電層と、第2の導電層を形成する工程と、前記絶縁膜を通過させて前記半導体層に一導電型を付与する不純物元素を添加し、第2の不純物領域を形成すると同時に、前記第1の導電層のテーパー部を通過させて前記半導体層に一導電型を付与する不純物元素を添加し、前記半導体層の端部に向かって不純物濃度が増加する第3の不純物領域を形成する工程と、を有する半導体装置の作製方法である。

【0043】また、上記構造を実現する作製工程における他の発明の構成は、絶縁表面上に半導体層を形成する工程と、前記半導体層上に絶縁膜を形成する工程と、前記絶縁膜上に第1の導電層と第2の導電層を形成する工程と、前記第1の導電層と第2の導電層をマスクとして一導電型を付与する不純物元素を添加して第1の不純物領域を形成する工程と、前記第1の導電層、前記第2の導電層、前記絶縁膜をエッチングして、テーパー部を有する第1の導電層と、第2の導電層と、テーパー部を一部有する前記絶縁膜を形成する工程と、前記テーパー部を一部有する絶縁膜を通過させて前記半導体層に一導電型を付与する不純物元素を添加し、第2の不純物領域を形成すると同時に、前記第1の導電層のテーパー部を通過させて前記半導体層に一導電型を付与する不純物元素を添加し、前記半導体層の端部に向かって不純物濃度が増加する第3の不純物領域を形成する工程と、を有する半導体装置の作製方法である。

【0044】

【発明の実施の形態】本発明の実施形態について、以下に説明する。

【0045】本発明の反射型表示装置は、基本的な構成として、互いに所定の間隙を間に挟んで接着した素子基板及び対向基板と、前記間隙に保持された電気光学物質（液晶材料等）とを備えている。

【0046】〔実施の形態1〕本発明の画素構造の具体例を図1に示す。

【0047】素子基板は、図1に示すように、行方向に配置されたゲート配線140及び容量配線137と、列方向に配置されたソース配線と、ゲート配線とソース配線の交差部近傍の画素TFTを有する画素部と、nチャネル型TFTやpチャネル型TFTを有する駆動回路とを含む。

【0048】ただし、図1におけるソース配線は、列方向に配置された島状のソース配線139と接続電極165とが接続したものを指している。なお、島状のソース配線139は、ゲート配線140（ゲート電極136含む）及び容量配線137と同様にゲート絶縁膜上に接して形成されたものである。また、接続電極165は画素電極167、160と同様に層間絶縁膜上に形成された

ものである。

【0049】このような構成とすることによって、各画素間には、主に画素電極160の端部を島状のソース配線139やゲート配線140と重ねることにより遮光することができる。

【0050】なお、素子基板上的TFTを遮光するため、赤色のカラーフィルタ、または赤色のカラーフィルタと青色のカラーフィルタの積層膜、または赤色のカラーフィルタと青色のカラーフィルタと緑色のカラーフィルタの積層膜を所定の位置（素子基板のTFTの位置）にあわせてパターンニングしたものを対向基板上に設ける。

【0051】このような構成とすることによって、素子基板のTFTは、主に対向基板に設けられたカラーフィルタ（赤色のカラーフィルタ、または赤色のカラーフィルタと青色のカラーフィルタの積層膜、または赤色のカラーフィルタと青色のカラーフィルタと緑色のカラーフィルタの積層膜）により遮光することができる。

【0052】また、画素電極160の保持容量は、第2の半導体層202を覆う絶縁膜を誘電体とし、画素電極160と接続された第2の半導体層202と、容量配線203とで形成している。

【0053】また、図1に示す画素構造を有する画素部と駆動回路とを有する素子基板を形成するために必要なマスク数を5枚とすることができる。即ち、1枚目は、第1の半導体層201及び第2の半導体層202をパターンニングするマスク、2枚目は、ゲート配線140、204、容量配線137、203、及び島状のソース配線139、206、207をパターンニングするマスク、3枚目は、駆動回路のpチャネル型TFTを形成するためにp型を付与する不純物元素を添加する際、nチャネル型TFTを覆うためのマスク、4枚目は、第1の半導体層と第2の半導体層と島状のソース配線とにそれぞれ達するコンタクトホールを形成するマスク、5枚目は、接続電極165、205及び画素電極160、167をパターンニングするためのマスクである。

【0054】以上のように、図1に示す画素構造とした場合、少ないマスク数で画素開口率の高い反射型液晶表示装置を実現することができる。

【0055】〔実施の形態2〕本発明の画素構造の具体例を図10に示す。

【0056】素子基板は、図10に示すように、行方向に配置されたゲート配線1002、1012と、列方向に配置されたソース配線1004と、ゲート配線とソース配線の交差部近傍の画素TFTを有する画素部と、nチャネル型TFTやpチャネル型TFTを有する駆動回路とを含む。

【0057】ただし、図10におけるゲート配線は、列方向に配置された島状のゲート電極1001と島状の容量電極1008が接続したものを指している。なお、島

状のゲート電極1001は、ソース配線1004及び容量電極1008と同様にゲート絶縁膜上に接して形成されたものである。また、ゲート配線1002、1012は画素電極1006、1007、接続電極1005と同様に層間絶縁膜上に形成されたものである。

【0058】このような構成とすることによって、各画素間には、主に画素電極1006の端部をソース配線1004と重ねることにより遮光することができる。

【0059】また、上記実施の形態1と同様にして、素子基板のTFTは、主に対向基板に設けられたカラーフィルタ（赤色のカラーフィルタ、または赤色のカラーフィルタと青色のカラーフィルタの積層膜、または赤色のカラーフィルタと青色のカラーフィルタと緑色のカラーフィルタの積層膜）により遮光する。また、図10の画素構造では、ゲート配線と画素電極の間隙を遮光するため、この部分においても同様に対向基板に設けたカラーフィルタを用いて遮光すればよい。

【0060】また、画素電極1006の保持容量は、第2の半導体層を覆う絶縁膜を誘電体とし、画素電極1006と接続された第2の半導体層と、ゲート配線1012と接続された容量電極1008とで形成している。

【0061】また、図1と同様に図10に示す画素構造を有する画素部と駆動回路とを有する素子基板を形成するために必要なマスク数を5枚とすることができる。即ち、1枚目は、第1の半導体層及び第2の半導体層をパターンニングするマスク、2枚目は、ゲート電極1001、容量電極1008、及びソース配線1004をパターンニングするマスク、3枚目は、駆動回路のpチャネル型TFTを形成するためにp型を付与する不純物元素を添加する際、nチャネル型TFTを覆うためのマスク、4枚目は、第1の半導体層と第2の半導体層とゲート電極と容量電極とソース配線とにそれぞれ達するコンタクトホールを形成するマスク、5枚目は、接続電極1005、ゲート配線1002、1012、及び画素電極1006、1007をパターンニングするためのマスクである。

【0062】以上のように、図10に示す画素構造とした場合、少ないマスク数で画素開口率の高い反射型液晶表示装置を実現することができる。

【0063】以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0064】

【実施例】[実施例1]本実施例では同一基板上に画素部と、画素部の周辺に設ける駆動回路のTFT（nチャネル型TFT及びpチャネル型TFT）を同時に作製する方法について詳細に説明する。

【0065】まず、図2（A）に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウ

ケイ酸ガラスなどのガラスから成る基板100上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜101を形成する。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜102aを10～200nm（好ましくは50～100nm）形成し、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜101bを50～200nm（好ましくは100～150nm）の厚さに積層形成する。本実施例では下地膜101を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0066】島状半導体層102～106は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層102～106の厚さは25～80nm（好ましくは30～60nm）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

【0067】レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100～400mJ/cm²（代表的には200～300mJ/cm²）とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10kHzとし、レーザーエネルギー密度を300～600mJ/cm²（代表的には350～500mJ/cm²）とする。そして幅100～1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を80～98%として行う。

【0068】次いで、島状半導体層102～106を覆うゲート絶縁膜107を形成する。ゲート絶縁膜107はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、120nmの厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS（Tetraethyl Orthosilicate）とO₂とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波（13.56MHz）電力密度0.5～0.8W/cm²で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後40

0～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0069】そして、ゲート絶縁膜107上にゲート電極を形成するための第1の導電膜108と第2の導電膜109とを形成する。本実施例では、第1の導電膜108をTaで50～100nmの厚さに形成し、第2の導電膜をWで100～300nmの厚さに形成する。

【0070】Ta膜はスパッタ法で形成し、TaのターゲットをArでスパッタする。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することができる。また、α相のTa膜の抵抗率は20μΩcm程度でありゲート電極に使用することができるが、β相のTa膜の抵抗率は180μΩcm程度でありゲート電極とするには不向きである。α相のTa膜を形成するために、Taのα相に近い結晶構造をもつ窒化タンタルを10～50nm程度の厚さでTaの下地に形成しておくことα相のTa膜を容易に得ることができる。

【0071】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%または99.99%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20μΩcmを実現することができる。

【0072】なお、本実施例では、第1の導電膜108をTa、第2の導電膜をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例は、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をWとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をAlとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をCuとする組み合わせで形成することが好ましい。

【0073】次に、レジストによるマスク110～117を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)

電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0074】上記エッチング条件では、レジストによるマスクの形状に適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は15～45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10～20%程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2～4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20～50nm程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層119～126(第1の導電層119a～126aと第2の導電層119b～126b)を形成する。118はゲート絶縁膜であり、第1の形状の導電層119～126で覆われない領域は20～50nm程度エッチングされ薄くなった領域が形成される。

【0075】また、本実施例では1回のエッチングにより第1の形状の導電層119～126を形成したが、複数のエッチングによって形成してもよいことは言うまでもない。

【0076】そして、第1のドーピング処理を行いn型を付与する不純物元素を添加する。(図2(B))ドーピングの方法はイオンドーブ法若しくはイオン注入法で行えば良い。イオンドーブ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}$ atoms/cm²とし、加速電圧を60～100keVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層119～123がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域127～131が形成される。第1の不純物領域127～131には $1 \times 10^{20} \sim 1 \times 10^{21}$ atomic/cm³の濃度範囲でn型を付与する不純物元素を添加する。

【0077】次に、図2(C)に示すように第2のエッチング処理を行う。同様にICPエッチング法を用い、エッチングガスにCF₄とCl₂とO₂を混合して、1Paの圧力でコイル型の電極に500WのRF電力(13.56MHz)を供給し、プラズマを生成して行う。基板側(試料ステージ)には50WのRF(13.56MHz)電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりW膜を異方性エッチングし、かつ、それより遅いエッチング速度で第1の導電層であるTaを異方性エッチングして第2の形状の導電層133～140(第1の導電層133a～140aと第

2の導電層133b~140b)を形成する。132はゲート絶縁膜であり、第2の形状の導電層133~137で覆われない領域はさらに20~50nm程度エッチングされ薄くなった領域が形成される。

【0078】また、本実施例では1回のエッチングにより図2(C)に示した第2の形状の導電層133~140を形成したが、複数のエッチングによって形成してもよいことは言うまでもない。例えば、 CF_4 と Cl_2 の混合ガスによるエッチングを行った後、 CF_4 と Cl_2 と O_2 の混合ガスによるエッチングを行ってもよい。

【0079】W膜やTa膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極端に高く、その他の WCl_6 、 TaF_5 、 $TaCl_5$ は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、 O_2 を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0080】そして、図3(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げた高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を70~120keVとし、 $1 \times 10^{13}/cm^2$ のドーズ量で行い、図2(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の導電層133b~137bを不純物元素に対するマスクとして用い、第1の導電層133a~137aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第1の導電層133a~137aと重なる第3の不純物領域141~145と、第1の不純物領域と第3の不純物領域との間の第2の不純物領域146~150とを形成する。n型を付与する不純物元素は、第2の不純物領域で $1 \times 10^{17} \sim 1 \times 10^{19} atoms/cm^3$ の濃度となるようにし、第3の不純物領域で $1 \times 10^{16} \sim 1 \times 10^{18} atoms/cm^3$ の濃度となるようにする。

【0081】また、ここでは、レジストマスクをそのままの状態としたまま、第2のドーピング処理を行った例を示したが、レジストマスクを除去した後、第2のドー

ピング処理を行ってもよい。

【0082】そして、図3(B)に示すように、pチャネル型TFETを形成する島状半導体層104に一導電型とは逆の導電型の不純物元素が添加された第4の不純物領域154~156を形成する。第2の導電層134を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFETを形成する島状半導体層103、105、106はレジストマスク151~153で全面を被覆しておく。不純物領域154~156にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B_2H_6)を用いたイオンドーピング法で形成し、そのいずれの領域においても不純物濃度を $2 \times 10^{20} \sim 2 \times 10^{21} atoms/cm^3$ となるようにする。実際には、第4の不純物領域に含まれるボロンは、第2のドーピング処理と同様に半導体層上に位置するテーパー形状となっている導電層や絶縁膜の膜厚による影響を受け、第4の不純物領域中に添加される不純物元素の濃度は変化している。

【0083】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第2の導電層133~136がゲート電極として機能する。また、139は島状のソース配線、140はゲート配線、137は容量配線として機能する。

【0084】こうして導電型の制御を目的として図3(C)に示すように、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーストアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラビッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~700℃、代表的には500~600℃で行うものであり、本実施例では500℃で4時間の熱処理を行う。ただし、133~140に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0085】さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0086】次いで、第1の層間絶縁膜157は酸化窒化シリコン膜から100~200nmの厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜158を形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

【0087】そして、駆動回路406において島状半導体層のソース領域とコンタクトを形成するソース配線1

59～161、ドレイン領域とコンタクトを形成するドレイン配線162～164を形成する。また、画素部407においては、画素電極166、167、接続電極165を形成する。(図4)この接続電極165により島状のソース配線139は、隣り合う島状のソース配線207及び画素TFT404と電気的な接続が形成される。画素電極160は、画素TFTの活性層に相当する島状半導体層(図1中における第1の半導体層201に相当)及び保持容量を形成する島状半導体層(図1中における第2の半導体層202に相当)とそれぞれ電気的な接続が形成される。なお、画素電極167は隣り合う画素のものである。

【0088】以上の様にして、nチャネル型TFT401、pチャネル型TFT402、nチャネル型TFT403を有する駆動回路406と、画素TFT404、保持容量405とを有する画素部407を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0089】駆動回路406のnチャネル型TFT401はチャネル形成領域168、ゲート電極を形成する第2の導電層133と重なる第3の不純物領域146(GOLD領域)、ゲート電極の外側に形成される第2の不純物領域141(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域127を有している。pチャネル型TFT402にはチャネル形成領域169、ゲート電極を形成する第2の導電層134と重なる第4の不純物領域156、ゲート電極の外側に形成される第4の不純物領域155、ソース領域またはドレイン領域として機能する第4の不純物領域154を有している。nチャネル型TFT403にはチャネル形成領域170、ゲート電極を形成する第2の導電層135と重なる第3の不純物領域148(GOLD領域)、ゲート電極の外側に形成される第2の不純物領域143(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域129を有している。

【0090】画素部の画素TFT404にはチャネル形成領域171、ゲート電極を形成する第2の導電層136と重なる第3の不純物領域149(GOLD領域)、ゲート電極の外側に形成される第2の不純物領域144(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域130を有している。また、保持容量405の一方の電極として機能する半導体層131には第1の不純物領域と同じ濃度で、半導体層145には第3の不純物領域と同じ濃度で、半導体層150には第2の不純物領域と同じ濃度で、それぞれn型を付与する不純物元素が添加されており、容量配線137とその間の絶縁層(ゲート絶縁膜と同じ層)とで保持容量を形成している。また、n型を付与する不純物元素が添加されている。なお、図4で示す保持容量405は隣接する画素の保持容量を示している。

【0091】本実施例で作製するアクティブマトリクス基板の画素部の上面図は、図4のA-A'は、図1で示すA-A'線に対応している。即ち、図4で示す島状のソース配線139、接続電極165、画素電極160、167、ゲート配線140、ゲート電極136、容量配線137は図1で示す符号と同一のものをを用いた。

【0092】このように、本発明の画素構造を有するアクティブマトリクス基板は、ソース配線と接続電極を異なる層で形成し、図1で示すような画素構造とすることにより大きな面積を有する画素電極を配置でき、開口率を向上させることができる。

【0093】また、本発明の画素構造は、ブラックマトリクスを用いることなく、画素電極間の隙間を遮光することができるように、画素電極の端部をソース配線やゲート配線と重なるように配置されている。

【0094】また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトリソマスクの数を5枚(島状半導体層パターン、第1配線パターン(ゲート配線、島状のソース配線、容量配線)、nチャネル領域のマスクパターン、コンタクトホールパターン、第2配線パターン(画素電極、接続電極含む))とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【0095】[実施例2]本実施例では、実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図5を用いる。

【0096】まず、実施例1に従い、図4の状態のアクティブマトリクス基板を得た後、図4のアクティブマトリクス基板上に配向膜567を形成しラビング処理を行う。

【0097】一方、対向基板569を用意する。対向基板569にはカラーフィルター層570、571、オーバーコート層573を形成する。カラーフィルター層はTFTの上方で赤色のカラーフィルター層570と青色のカラーフィルター層571とを重ねて形成し遮光膜を兼ねる構成とする。実施例1の基板を用いた場合、少なくともTFTと、接続電極と画素電極との間を遮光する必要があるため、それらの位置を遮光するように赤色のカラーフィルタと青色のカラーフィルタを重ねて配置することが好ましい。

【0098】また、接続電極165に合わせて赤色のカラーフィルター層570、青色のカラーフィルター層571、緑色のカラーフィルター層572とを重ね合わせてスペーサを形成する。各色のカラーフィルターはアクリル樹脂に顔料を混合したもので1～3μmの厚さで形成する。これは感光性材料を用い、マスクを用いて所定のパターンに形成することができる。スペーサの高さはオーバーコート層の厚さ1～4μmを考慮することにより2～7μm、好ましくは4～6μmとすることができ、

この高さによりアクティブマトリクス基板と対向基板とを貼り合わせた時のギャップを形成する。オーバーコート層は光硬化型または熱硬化型の有機樹脂材料で形成し、例えば、ポリイミドやアクリル樹脂などを用いる。

【0099】スペーサの配置は任意に決定すれば良いが、例えば図5で示すように接続電極上に位置が合うように対向基板に配置すると良い。また、駆動回路のTFT上にその位置を合わせてスペーサを対向基板上に配置してもよい。このスペーサは駆動回路部の全面に渡って配置しても良いし、ソース線およびドレイン線を覆うようにして配置しても良い。

【0100】オーバーコート層573を形成した後、対向電極576をバタニング形成し、配向膜574を形成した後ラビング処理を行う。

【0101】そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤568で貼り合わせる。シール剤568にはフィラーが混入されていて、このフィラーとスペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料を注入し、封止剤（図示せず）によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。このようにして図5に示すアクティブマトリクス型液晶表示装置が完成する。

【0102】[実施例3]実施例1では、ゲート配線、島状のソース配線、容量配線を同時に形成した例を示したが、本実施例ではマスクを1枚増やしてゲート電極を形成する工程と、ゲート配線、ソース配線、及び容量配線を形成する工程とを別々にしてアクティブマトリクス基板を作製した例を図6及び図7に示す。

【0103】実施例1で示すTFTのゲート電極は2層構造を有している。その第1層目と第2層目とはいずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成している。或いは、第1層目をリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜で形成している。

【0104】ゲート電極の第1層目に半導体膜を用いる場合も同様であるが、Ta、W、Ti、Moから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料は面積抵抗が約10Ω、またはそれ以上の値であり、画面サイズが4インチクラスかそれ以上の表示装置を作製する場合には必ずしも適していない。画面サイズの大型化に伴って基板上において配線を引回す長さが必然的に増大し、配線抵抗の影響による信号の遅延時間の問題を無視することができなくなるためである。また、配線抵抗を下げる目的で配線の幅を太くすると、画素部以外の周辺の領域の面積が増大し表示装置の外観を著しく損ねることになる。

【0105】従って、本実施例では、ゲート配線や容量配線はシート抵抗値を低くするアルミニウム（Al）や

銅（Cu）を主成分とする材料で形成する。即ち、本実施例においては、ゲート配線をゲート電極と別な材料で形成する。

【0106】ゲート配線602とゲート電極601とのコンタクト部を図6で示すように半導体層の外側に設ける。Alはエレクトロマイグレーションなどでゲート絶縁膜中にしみ出すことがあるので、ゲート配線を半導体層上に設けることは適切でない。このコンタクトはコンタクトホールを必要とせず、ゲート電極とゲート配線とを重ね合わせて形成する。

【0107】以下に作製工程を簡略に示す。

【0108】まず、実施例1に従い、活性化および水素化処理まで同一の工程を用いる。ただし、実施例1では、133～137で示した電極および配線を同時に作製したが、本実施例では各TFTのゲート電極601のみを形成する。なお、保持容量の一方の電極となる第2の半導体層600、612には第1の不純物領域と同じ濃度でn型を付与する不純物元素を添加されるようにする。

【0109】次いで、活性化工程の後、ゲート配線602、614、島状のソース配線604、616、617、容量配線603、613、駆動回路の配線608を低抵抗の導電性材料で形成する。低抵抗の導電性材料はAlやCuを主成分とするものであり、このような材料でゲート配線を形成する。本実施例ではAlを用いる例を示し、Tiを0.1～2重量%含むAl膜を低抵抗導電層として全面に形成する（図示せず）。厚さは200～400nm（好ましくは250～350nm）で形成する。そして、所定のレジストパターンを形成し、エッチング処理して、ゲート配線602、614、島状のソース配線604、616、617、容量配線603、613、駆動回路の配線608を形成する。これらの配線のエッチング処理は、リン酸系のエッチング溶液によるウェットエッチングで行うと、下地との選択加工性を保って形成することができる。

【0110】次いで、実施例1に従い、第1の層間絶縁膜、第2の層間絶縁膜を形成する。そして、駆動回路706において島状半導体層のソース領域とコンタクトを形成するソース配線、ドレイン領域とコンタクトを形成するドレイン配線を形成する。また、画素部707においては、画素電極606、607、接続電極605、615を形成する。（図7）この接続電極605により島状のソース配線604は、隣り合う島状のソース配線617及び画素TFT704と電気的な接続が形成される。なお、保持容量705、画素電極607は隣り合う画素のものである。また、保持容量705の一方の電極として機能する第2の半導体層600には第1の不純物領域と同じ濃度でn型を付与する不純物元素が添加されており、容量配線603とその間の絶縁層（ゲート絶縁膜と同じ層）とで保持容量を形成している。

【0111】以上の様にして、 n チャネル型TFT701、 p チャネル型TFT702、 n チャネル型TFT703を有する駆動回路706と、画素TFT704、保持容量705とを有する画素部707を同一基板上に形成することができる。

【0112】本実施例で作製するアクティブマトリクス基板の画素部の上面図は図6であり、図6の点線B-B'で切断した断面図が図7で示すB-B'に対応している。

【0113】本実施例によれば、ゲート配線602、614、島状のソース配線604、616、617、及び容量配線603、613を低抵抗導電材料で形成することにより、配線抵抗を十分低減でき、実施例2と組み合わせれば画素部（画面サイズ）が4インチクラス以上の優れた表示装置を実現することができる。

【0114】[実施例4]本実施例では、実施例3とはアクティブマトリクス基板のTFT構造が異なる他の例を図8を用いて説明する。

【0115】図8に示すアクティブマトリクス基板は、第1の p チャネル型TFT850と第2の n チャネル型TFT851を有するロジック回路部855と第2の n チャネル型TFT852から成るサンプリング回路部856とを有する駆動回路857と、画素TFT853と保持容量854を有する画素部858とが形成されている。駆動回路857のロジック回路部855のTFTはシフトレジスタ回路やバッファ回路などを形成し、サンプリング回路856のTFTは基本的にはアナログスイッチで形成する。

【0116】これらのTFTは基板801に形成した下地膜802上の島状半導体層803～806にチャネル形成領域やソース領域、ドレイン領域及びLDD領域などを設けて形成する。下地膜や島状半導体層は実施例1と同様にして形成する。ゲート絶縁膜808上に形成するゲート電極809～812は端部がテーパー形状となるように形成することに特徴があり、この部分を利用してLDD領域を形成している。このようなテーパー形状は実施例1と同様に、ICPエッチング装置を用いたW膜の異方性エッチング技術により形成することができる。

【0117】テーパー形状の部分を利用して形成されるLDD領域は n チャネル型TFTの信頼性を向上させるために設け、これによりホットキャリア効果によるオン電流の劣化を防止する。このLDD領域はイオンドープ法により当該不純物元素のイオンを電界で加速して、ゲート電極の端部及び該端部の近傍におけるゲート絶縁膜を通して半導体膜に添加する。

【0118】第1の n チャネル型TFT851にはチャネル形成領域832の外側に第1のLDD領域835、第2のLDD領域834、ソースまたはドレイン領域833が形成され、第1のLDD領域835はゲート電極

810と重なるように形成されている。また、第1のLDD領域835と第2のLDD領域834とに含まれる n 型の不純物元素は、上層のゲート絶縁膜やゲート電極の膜厚の差により第2のLDD領域834の方が高くなっている。第2の n チャネル型TFT852も同様な構成とし、チャネル形成領域836、ゲート電極と重なる第1のLDD領域839、第2のLDD領域838、ソースまたはドレイン領域837から成っている。一方、 p チャネル型TFT850はシングルドレインの構造であり、チャネル形成領域828の外側に p 型不純物が添加された不純物領域829～831が形成されている。

【0119】画素部858において、 n チャネル型TFTで形成される画素TFTはオフ電流の低減を目的としてマルチゲート構造で形成され、チャネル形成領域840の外側にゲート電極と重なる第1のLDD領域843、第2のLDD領域842、ソースまたはドレイン領域841が設けられている。また、保持容量854は島状半導体層807とゲート絶縁膜808と同じ層で形成される絶縁層と容量配線815とから形成されている。島状半導体層807には n 型不純物が添加されていて、抵抗率が低いことにより容量配線に印加する電圧を低く抑えることができる。

【0120】層間絶縁膜は酸化シリコン、窒化シリコン、または酸化窒化シリコンなどの無機材料から成り、50～500nmの厚さの第1の層間絶縁膜816と、ポリイミド、アクリル、ポリイミドアミド、BCB（ベンゾシクロブテン）などの有機絶縁物材料から成る第2の層間絶縁膜817とで形成する。このように、第2の層間絶縁膜を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減できるので、第1の層間絶縁膜816と組み合わせて形成することが好ましい。

【0121】その後、所定のパターンのレジストマスクを形成し、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。コンタクトホールの形成はドライエッチング法により行う。この場合、エッチングガスに CF_4 、 O_2 、 He の混合ガスを用い有機樹脂材料から成る層間絶縁膜をまずエッチングし、その後、続いてエッチングガスを CF_4 、 O_2 として保護絶縁膜146をエッチングする。さらに、島状半導体層との選択比を高めるために、エッチングガスを CHF_3 に切り替えてゲート絶縁膜をエッチングすることにより、良好にコンタクトホールを形成することができる。

【0122】そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、レジストマスクパターンを形成し、エッチングによってソース及びドレイン配線818～823と、画素電極826、827、接続電極825を形

成する。このようにして図1で示すような画素構成の画素部を有するアクティブマトリクス基板を形成することができる。また、本実施例のアクティブマトリクス基板を用いても、実施例2で示すアクティブマトリクス型の液晶表示装置を作製することができる。

【0123】[実施例5]本実施例では、実施例3とはアクティブマトリクス基板のTFT構造が異なる他の例を図9を用いて説明する。

【0124】図9で示すアクティブマトリクス基板は、第1のpチャネル型TFT950と第2のnチャネル型TFT951を有するロジック回路部955と第2のnチャネル型TFT952から成るサンプリング回路部956とを有する駆動回路957と、画素TFT953と保持容量954を有する画素部958とが形成されている。駆動回路957のロジック回路部955のTFTはシフトレジスタ回路やバッファ回路などを形成し、サンプリング回路956のTFTは基本的にはアナログスイッチで形成する。

【0125】本実施例で示すアクティブマトリクス基板は、まず、基板901上に下地膜902を酸化シリコン膜、酸化窒化シリコン膜などで50～200nmの厚さに形成する。その後、レーザー結晶化法や熱結晶化法で作製した結晶質半導体膜から島状半導体層903～907を形成する。その上にゲート絶縁膜908を形成する。そして、nチャネル型TFTを形成する島状半導体層904、905と保持容量を形成する島状半導体層907に $1 \times 10^{16} \sim 1 \times 10^{19} / \text{cm}^3$ の濃度でリン(P)に代表されるn型を付与する不純物元素を選択的に添加する。

【0126】そして、WまたはTaを成分とする材料でゲート電極909～912、ゲート配線914、容量配線915、及びソース配線913を形成する。ゲート配線、容量配線、ソース配線は実施例3のようにAl等の抵抗率の低い材料で別途形成しても良い。そして、島状半導体層903～907ゲート電極909～912及び容量配線915の外側の領域に $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度でリン(P)に代表されるn型を付与する不純物元素を選択的に添加する。こうして第1のnチャネル型TFT951、第2のnチャネル型TFT952には、それぞれチャネル形成領域931、934、LDD領域933、936、ソースまたはドレイン領域932、935が形成される。画素TFT953のLDD領域939はゲート電極912を用いて自己整合的に形成するものでチャネル形成領域937の外側に形成され、ソースまたはドレイン領域938は、第1及び第2のnチャネル型TFTと同様にして形成されている。

【0127】層間絶縁膜は実施例3と同様に、酸化シリコン、窒化シリコン、または酸化窒化シリコンなどの無機材料から成る第1の層間絶縁膜916と、ポリイミド、アクリル、ポリイミドアミド、BCB(ベンゾシク

ロブテン)などの有機絶縁物材料から成る第2の層間絶縁膜917とで形成する。その後、所定のパターンレジストマスクを形成し、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。そして、導電性の金属膜をスパッタ法や真空蒸着法で形成しソース配線及びドレイン配線918～923と、画素電極926、927、接続電極925を形成する。このようにして図1で示すような画素構造構成の画素部を有するアクティブマトリクス基板を形成することができる。また、本実施例のアクティブマトリクス基板を用いても、実施例2で示すアクティブマトリクス型の液晶表示装置を作製することができる。

【0128】ロジック回路955の第1のnチャネル型TFT951はドレイン側にゲート電極と重なるGOLD領域が形成された構造としてある。このGOLD領域によりドレイン領域近傍に発生する高電界領域を緩和して、ホットキャリアの発生を防ぎ、このTFTの劣化を防止することができる。このような構造のnチャネル型TFTはバッファ回路やシフトレジスタ回路に適している。一方、サンプリング回路956の第2のnチャネル型TFT952はGOLD領域とLDD領域をソース側及びドレイン側に設けた構造であり、極性反転して動作するアナログスイッチにおいてホットキャリアによる劣化を防ぎ、さらにオフ電流を低減することを目的とした構造となっている。画素TFT953はLDD構造を有し、マルチゲートで形成され、オフ電流の低減を目的とした構造となっている。一方、pチャネル型TFTはシングルドレイン構造で形成され、チャネル形成領域928の外側にp型の不純物元素が添加された不純物領域929、930を形成する。

【0129】このように、図9で示すアクティブマトリクス基板は、画素部及び駆動回路が要求する仕様に応じて各回路を構成するTFTを最適化し、各回路の動作特性と信頼性を向上させることを特に考慮した構成となっている。

【0130】[実施例6]本実施例では、アクティブマトリクス基板の画素構造が異なる他の例を図10、図11を用いて説明する。

【0131】本実施例は、実施例1とはマスクパターンのみを変更することによって、図10、図11に示す画素構造を有するアクティブマトリクス基板を得ることができる。

【0132】なお、本実施例の作製工程は、実施例1とほぼ同一である。

【0133】実施例1に従い、図2(A)の状態まで形成する。次いで、実施例1のマスクを変更し、ゲート電極1001、容量電極1008、及びソース配線1004をパターンニング形成する。

【0134】以降の工程は実施例1に従い、図3(A)の状態までの処理を行う。次いで、実施例1のマスクを

変更し、駆動回路のpチャネル型TFTだけでなく、保持容量の一方の電極となる半導体層にもp型を付与する不純物元素の添加を行う。

【0135】次いで、実施例1に従い、活性化、第1層間絶縁膜及び第2層間絶縁膜の形成を行う。次いで、実施例1のマスクを変更し、各コンタクトホールを形成を行う。次いで、実施例1のマスクを変更し、接続電極1005、ゲート配線1002、1012、及び画素電極1006、1007をパターンニング形成する。

【0136】こうして、図10に示した画素構造が得られる。図10におけるゲート配線は、列方向に配置された島状のゲート電極1001と島状の容量電極1008が接続したものを指している。また、図10中の点線C-C'で切断した断面図が図11中の点線C-C'に相当している。また、図10中の点線D-D'で切断した断面図が図11中の点線D-D'に相当している。

【0137】本実施例は、図10及び図11に示したように、島状のゲート電極1001が、ソース配線1004及び容量電極1008と同時にゲート絶縁膜上に接して形成されたものである。また、ゲート配線1002、1012は、画素電極1006、1007、接続電極1005と同様に層間絶縁膜上に形成されたものである。

【0138】このような構成とすることによって、各画素間は、主に画素電極1006の端部をソース配線1004と重ねることにより遮光することができる。

【0139】また、画素電極1006の保持容量は、第2の半導体層を覆う絶縁膜を誘電体とし、画素電極1006と接続された第2の半導体層と、ゲート配線1012と接続された容量電極1008とで形成している。本実施例は、実施例1のような容量配線を設ける必要がなく、開口率を上げることができるので、画素サイズの小さいパネルに特に有効である。

【0140】また、このような保持容量を形成する場合においては、第2の半導体層にp型を付与する不純物元素を添加することが好ましい。

【0141】なお、本実施例は実施例2と組み合わせることが可能である。

【0142】[実施例7]実施例2を用いて得られたアクティブマトリクス型液晶表示装置(図5)の構成を図12の上面図を用いて説明する。なお、図5と対応する部分には同じ符号を用いた。

【0143】図12(A)で示す上面図は、画素部、駆動回路、FPC(フレキシブルプリント配線板:Flexible Printed Circuit)を貼り付ける外部入力端子1103、外部入力端子と各回路の入力部までを接続する配線1104などが形成されたアクティブマトリクス基板1101と、カラーフィルタなどが形成された対向基板1102とがシール材568を間に挟んで貼り合わされている。

【0144】ゲート配線側駆動回路1105とソース配

線側駆動回路1106の上面には対向基板側に赤色カラーフィルタまたは赤色と青色のカラーフィルタを積層させた遮光膜1107が形成されている。また、画素部407上の対向基板側に形成されたカラーフィルタ1108は赤色(R)、緑色(G)、青色(B)の各色のカラーフィルタ層が各画素に対応して設けられている。実際の表示に際しては、赤色(R)のカラーフィルタ、緑色(G)のカラーフィルタ、青色(B)のカラーフィルタの3色でカラー表示を形成するが、これら各色のカラーフィルタの配列は任意なものとする。

【0145】図13は図12(A)で示す外部入力端子1103のF-F'線に対する断面図を示している。外部入力端子はアクティブマトリクス基板側に形成され、層間容量や配線抵抗を低減し、断線による不良を防止するために画素電極と同じ層で形成される配線1109によって層間絶縁膜1110を間に挟んでゲート配線と同じ層で形成される配線1111と接続する。

【0146】また、外部入力端子にはベースフィルム1112と配線1113から成るFPCが異方性導電性樹脂1114で貼り合わされている。さらに補強板1115で機械的強度を高めている。

【0147】図13(B)はその詳細図を示し、図13(A)で示す外部入力端子の断面図を示している。アクティブマトリクス基板側に設けられる外部入力端子がゲート配線と同じ層で形成される配線1111と、画素電極と同じ層で形成される配線1109とから形成されている。勿論、これは端子部の構成を示す一例であり、どちらか一方の配線のみで形成しても良い。例えば、ゲート配線と同じ層で形成される配線1111で形成する場合にはその上に形成されている層間絶縁膜を除去する必要がある。画素電極と同じ層で形成される配線1109は、実施例1で示す構成に従えば、Ti膜1109a、Al膜1109b、Sn膜1109cの3層構造で形成されている。FPCはベースフィルム1112と配線1113から形成され、この配線1113と画素電極と同じ層で形成される配線1109とは、熱硬化型の接着剤1114とその中に分散している導電性粒子1116とから成る異方性導電性接着剤で貼り合わされ、電気的な接続構造を形成している。

【0148】一方、図12(B)は図12(A)で示す外部入力端子1103のE-E'線に対する断面図を示している。導電性粒子1116の外径は配線1109のピッチよりも小さいので、接着剤1114中に分散する量を適当なものとする隣接する配線と短絡することなく対応するFPC側の配線と電気的な接続を形成することができる。

【0149】以上のようにして作製されるアクティブマトリクス型の液晶表示装置は各種電子機器の表示部として用いることができる。

【0150】なお、本実施例は、実施例3乃至6のい

れかーと自由に組み合わせることが可能である。

【0151】[実施例8]本実施例では、実施例1で示したアクティブマトリクス基板のTFTの半導体層を形成する結晶質半導体層の他の作製方法について示す。本実施例では特開平7-130652号公報で開示されている触媒元素を用いる結晶化法を適用することもできる。以下に、その場合の例を説明する。

【0152】実施例1と同様にして、ガラス基板上に下地膜、非晶質半導体層を25~80nmの厚さで形成する。例えば、非晶質シリコン膜を55nmの厚さで形成する。そして、重量換算で10ppmの触媒元素を含む水溶液をスピコート法で塗布して触媒元素を含有する層を形成する。触媒元素にはニッケル(Ni)、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)などである。この触媒元素を含有する層170は、スピコート法の他にスパッタ法や真空蒸着法によって上記触媒元素の層を1~5nmの厚さに形成しても良い。

【0153】そして、結晶化の工程では、まず400~500℃で1時間程度の熱処理を行い、非晶質シリコン膜の含有水素量を5atom%以下にする。そして、ファーンズアニール炉を用い、窒素雰囲気中で550~600℃で1~8時間の熱アニールを行う。以上の工程により結晶質シリコン膜から成る結晶質半導体層を得ることができる。

【0154】このようにして作製された結晶質半導体層から島状半導体層を作製すれば、実施例1と同様にしてアクティブマトリクス基板を完成させることができる。しかし、結晶化の工程においてシリコンの結晶化を助長する触媒元素を使用した場合、島状半導体層中には微量($1 \times 10^{17} \sim 1 \times 10^{19}$ atoms/cm³程度)の触媒元素が残留する。勿論、そのような状態でもTFTを完成させることが可能であるが、残留する触媒元素を少なくともチャンネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン(P)によるゲッタリング作用を利用する手段がある。

【0155】この目的におけるリン(P)によるゲッタリング処理は、図3(C)で説明した活性化工程で同時に行うことができる。ゲッタリングに必要なリン(P)の濃度は高濃度n型不純物領域の不純物濃度と同程度でよく、活性化工程の熱アニールにより、nチャンネル型TFTおよびpチャンネル型TFTのチャンネル形成領域から触媒元素をその濃度でリン(P)を含有する不純物領域へ偏析させることができる。その結果その不純物領域には $1 \times 10^{17} \sim 1 \times 10^{19}$ atoms/cm³程度の触媒元素が偏析した。このようにして作製したTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0156】なお、本実施例は、実施例1乃至7のい

れかーと自由に組み合わせることが可能である。

【0157】[実施例9]本発明を実施して形成されたCMOS回路や画素部は様々な電気光学装置(アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ECディスプレイ)に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本発明を実施できる。

【0158】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター(リア型またはフロント型)、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図14及び図15に示す。

【0159】図14(A)はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明を画像入力部2002、表示部2003やその他の駆動回路に適用することができる。

【0160】図14(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明を表示部2102やその他の駆動回路に適用することができる。

【0161】図14(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。本発明は表示部2205やその他の駆動回路に適用できる。

【0162】図14(D)は頭部取り付け型のディスプレイの一部(右片側)であり、本体2301、信号ケーブル2302、頭部固定バンド2303、表示部2304、光学系2305、表示装置2306等を含む。本発明は表示装置2306に用いることができる。

【0163】図14(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402やその他の駆動回路に適用することができる。

【0164】図14(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)等を含む。本発明を表示部2502やその他の駆動回路に適用することができる。

【0165】図15(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示

部2904、操作スイッチ2905、アンテナ2906等を含む。本発明を表示部2904やその他の駆動回路に適用することができる。

【0166】図15(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003やその他の駆動回路に適用することができる。

【0167】図15(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【0168】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~8のどのような組み合わせからなる構成を用いても実現することができる。

【0169】[実施例10]実施例1では、第1の形状の導電層を形成する第1のエッチング処理を1回のエッチング条件で行ったが、絶縁膜の膜減り及び形状の均一性を向上させるため、複数回のエッチング条件で行ってもよい。本実施例では第1のエッチング処理を2回のエッチング条件で第1の形状の導電層を形成する例を示す。

【0170】また、本発明は、ゲート電極の両側にテー

パー形状が形成され、チャネル形成領域の両側にLDD領域が形成されるが、本実施例は、作製工程におけるゲート電極近傍の片側の断面拡大図を示す図16を用いて説明する。なお、簡略化のため、下地膜と基板は図示していない。

【0171】まず、実施例1に従って、図2(A)と同じ状態を得る。ただし、実施例1では第1の導電膜としてTaを用いたが、本実施例では第1の導電膜として非常に耐熱性の高いTa₂Nを用いた。第1の導電膜は、膜厚20~100nmとし、第2の導電膜は、膜厚100~400nmとすればよく、本実施例では、膜厚30nmのTa₂Nからなる第1の導電膜と膜厚370nmのWからなる第2の導電膜を積層形成した。

【0172】次いで、レジストからなる第1の形状のマスク1205aを形成し、ICP法によりエッチングを行って第1の形状の第2の導電層1204aを形成する。ここでは、Ta₂Nと選択比が高いエッチングガスとしてCF₄とC₁₂とO₂からなる混合ガスを用いたため、図16(A)に示した状態を得ることができる。表1に様々なエッチング条件と第2の導電層(W)のエッチングレート、第1の導電層(Ta₂N)のエッチングレート、または第2の導電層(W)のテーパー角との関係を示す。

【0173】

【表1】

W及びTa ₂ Nのエッチングレート(E.R.)及びWテーパー角度										
条件	ICP [W]	バイアス [W]	圧力 [Pa]	CF ₄	C ₁₂	O ₂	W E.R. ① [nm/min]	Ta ₂ N E.R. ② [nm/min]	W/Ta ₂ N選択比 ①÷②	Wテーパー角度 [deg]
1	500	20	1.0	30	30	0	58.97	68.42	0.869	80
2	500	60	1.0	30	30	0	88.71	118.46	0.750	25
3	500	100	1.0	30	30	0	111.66	168.03	0.667	18
4	500	20	1.0	25	25	10	124.62	20.67	6.049	70
5	500	60	1.0	25	25	10	161.72	35.81	4.528	35
6	500	100	1.0	25	25	10	176.90	56.32	3.008	32
7	500	150	1.0	25	25	10	200.39	80.32	2.495	26
8	500	200	1.0	25	25	10	218.20	102.87	2.124	22
9	500	250	1.0	25	25	10	232.12	124.97	1.860	19
10	500	20	1.0	20	20	20	- (*)	14.83	-	-
11	500	60	1.0	20	20	20	193.02	14.23	13.695	37
12	500	100	1.0	20	20	20	235.27	21.81	10.856	29
13	500	150	1.0	20	20	20	276.74	38.61	7.219	26
14	500	200	1.0	20	20	20	290.10	45.30	6.422	24
15	500	250	1.0	20	20	20	304.34	50.25	6.091	22

(*) セル内の-はエッチング時にW表面が変質したため測定不可。

【0174】なお、本明細書においてテーパー角とは、図16(A)の右上図に示したように、水平面と材料層の側面とがなす角を指している。

【0175】また、水平面と第2の導電層(W)の側面とがなす角(テーパー角α1)は、第1のエッチング条件を、例えば表1中の条件4~15のいずれかーに設定することで19度~70度の範囲で自由に設定することができる。なお、エッチング時間は実施者が適宜設定すればよい。

【0176】また、図16(A)において、1201は半導体層、1202は絶縁膜、1203は第1の導電膜

である。

【0177】次いで、マスク1205aをそのままにした状態で、第2のエッチング条件とし、エッチングを行って、第1の形状の第1の導電層1203aを形成する。なお、第2のエッチング条件でのエッチングの際、絶縁膜1202も若干エッチングされて第1の形状の絶縁膜1202aとなる。ここでは、第2のエッチング条件のエッチングガスとしてCF₄とC₁₂からなる混合ガスを用いた。第2のエッチング条件として、例えば、表1の条件1~3のいずれかーを用いればよい。このように第1のエッチング処理を2回のエッチング条件で行う

ことによって、絶縁膜1202の膜減りを抑えることができる。

【0178】次いで、第1のドーピング処理を行う。半導体に一導電型を付与する不純物元素、ここでは、n型を付与するリンをイオンドーピング法を用い、第1の形状の第1の導電層1203a及び第1の形状の第2の導電層1204aをマスクとして半導体層1201に添加する。(図16(B))なお、図16(B)では、第2のエッチング条件のエッチングを行った際、第1の形状の第2の導電層1204aも若干、エッチングされるが微小であるため図16(A)と同一形状として図示した。

【0179】次いで、マスク1205aをそのままにした状態で、第2のエッチング処理を行い、図16(C)に示した状態を得る。本実施例では、第2のエッチング処理として、 CF_4 と Cl_2 からなる混合ガスを用いた第1のエッチング条件でエッチングを行った後、さらに CF_4 と Cl_2 と O_2 からなる混合ガスを用いた第2のエッチング条件でエッチングを行った。これらのエッチング条件は、表1中のいずれか一条件を用い、エッチング時間を適宜設定すればよい。また、各導電層のチャンネル長方向の幅もエッチング条件によって自由に設定することができる。この第2のエッチング処理によって、第2の形状のマスク1205b、第2の形状の第1の導電層1203b、第2の形状の第2の導電層1204b、及び第2の形状の絶縁膜1202bが形成される。

【0180】第2の形状の第2の導電層1204bは、テーパ角 $\alpha 1$ よりも大きいテーパ角 $\alpha 2$ を形成し、第2の形状の第1の導電層1203bは非常に小さいテーパ角 β を形成する。なお、この第2の形状の第1の導電層1203bは、チャンネル形成領域への外光の侵入によるTFT特性の劣化を防ぐことができる。本実施例のように、光の大部分は画素電極で反射されるものの、画素電極間の隙間に照射された光が半導体層にも照射される恐れのある反射型である場合に、特に有効である。また、第2の形状の絶縁膜においてもテーパ角 γ が部分的に形成される。

【0181】次いで、マスク1205bを除去した後、第2のドーピング処理を行う。(図16(D))第2のドーピング処理は、第1のドーピング処理よりも低濃度のドーピングを行う。ここでは、n型を付与するリンをイオンドーピング法を用い、第2の形状の第2の導電層1204bをマスクとして半導体層1201に添加する。

【0182】この第2のドーピング処理により不純物領域1201a～1201cが形成される。また、絶縁膜及び第1の導電層を挟んで第2の導電層と重なる半導体層は、チャンネル形成領域となる。なお、図示しないが、チャンネル形成領域を挟んで両側に不純物領域1201a～1201cが左右対称に形成される。

【0183】また、ドーピングにおいて、半導体層上に位置する材料層の膜厚が厚くなればなるほどイオンの注入される深さが浅くなる。従って、絶縁膜を挟んで第1の導電層と重なる不純物領域1201c、即ち第3の不純物領域(GOLD領域)は、テーパ角 β の側面を有するテーパ形状の部分の影響を受けて、半導体層中に添加される不純物元素の濃度が変化する。膜厚が厚くなればなるほど不純物濃度が低減し、薄くなればなるほど不純物濃度が増加する。

【0184】また、同様に不純物領域1201b、即ち第2の不純物領域(LDD領域)は、第2の形状の絶縁膜1202bの膜厚による影響を受け、半導体層中に添加される不純物元素の濃度が変化する。即ち、テーパ角 γ の側面を有するテーパ形状となっている部分やその他のテーパ形状となっている部分の膜厚による影響を受け、半導体層中に添加される不純物元素の濃度が変化する。なお、第1の導電層と重なっていない不純物領域1201bは、不純物領域1201cより濃度が高い。また、チャンネル長方向における不純物領域1201bの幅は、不純物領域1201cと同程度、もしくは不純物領域1201cより広い。

【0185】また、不純物領域1201a、即ち第1の不純物領域は、第1のドーピング処理により添加された不純物濃度に加え、さらに第2のドーピング処理により添加されて高濃度不純物領域となり、ソース領域またはドレイン領域として機能する。

【0186】以降の工程は、実施例1の図3(B)以降の工程に従ってアクティブマトリクス基板を作製すればよい。

【0187】上記方法により画素部のTFT及び駆動回路のTFTが形成される。

【0188】また、本実施例は、実施例1～3、6～9のいずれかと自由に組み合わせることができる。

【0189】また、本実施例のエッチングガス用ガス(CF_4 と Cl_2 の混合ガス)に代えて SF_6 と Cl_2 の混合ガスを用いた場合、あるいは CF_4 と Cl_2 と O_2 の混合ガスに代えて SF_6 と Cl_2 と O_2 の混合ガスを用いた場合、絶縁膜1202との選択比が非常に高いのでさらに膜減りを抑えることができる。

【0190】

【発明の効果】本発明によりマスク数及び工程数を増加させることなく、高い開口率を実現した画素構造を有する反射型表示装置を実現することができる。

【図面の簡単な説明】

【図1】 本発明の画素部上面図を示す図。(実施例1)

【図2】 アクティブマトリクス基板の作製工程を示す図。(実施例1)

【図3】 アクティブマトリクス基板の作製工程を示す図。(実施例1)

【図４】 アクティブマトリクス基板の作製工程を示す図。（実施例１）

【図５】 アクティブマトリクス型液晶表示装置の断面構造図を示す図。（実施例２）

【図６】 本発明の画素部上面図を示す図。（実施例３）

【図７】 アクティブマトリクス基板の断面図を示す図。（実施例３）

【図８】 アクティブマトリクス基板の断面図を示す図。（実施例４）

【図９】 アクティブマトリクス基板の断面図を示す図。（実施例５）

【図１０】 本発明の画素部上面図を示す図。（実施例６）

【図１１】 本発明の画素部断面図を示す図。（実施例６）

【図１２】 アクティブマトリクス型液晶表示装置の上面図および断面図を示す図。（実施例７）

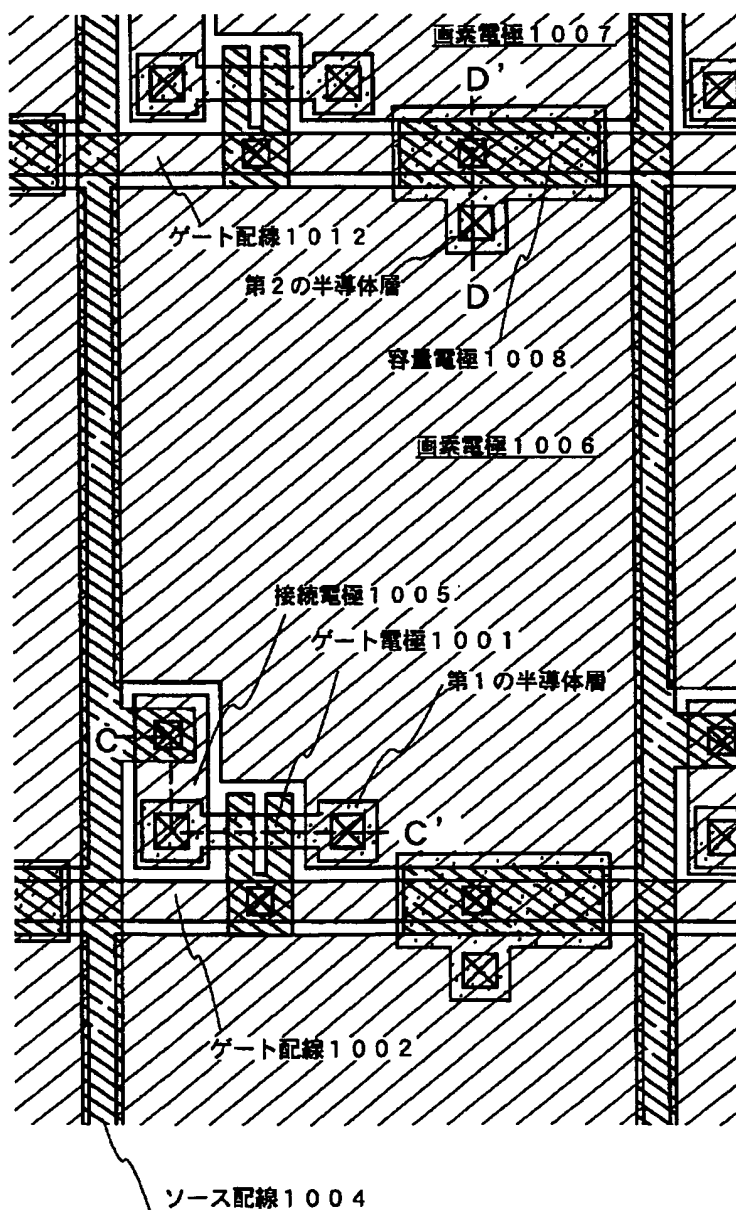
【図１３】 アクティブマトリクス型液晶表示装置の断面図を示す図。（実施例７）

【図１４】 電子機器の一例を示す図。（実施例９）

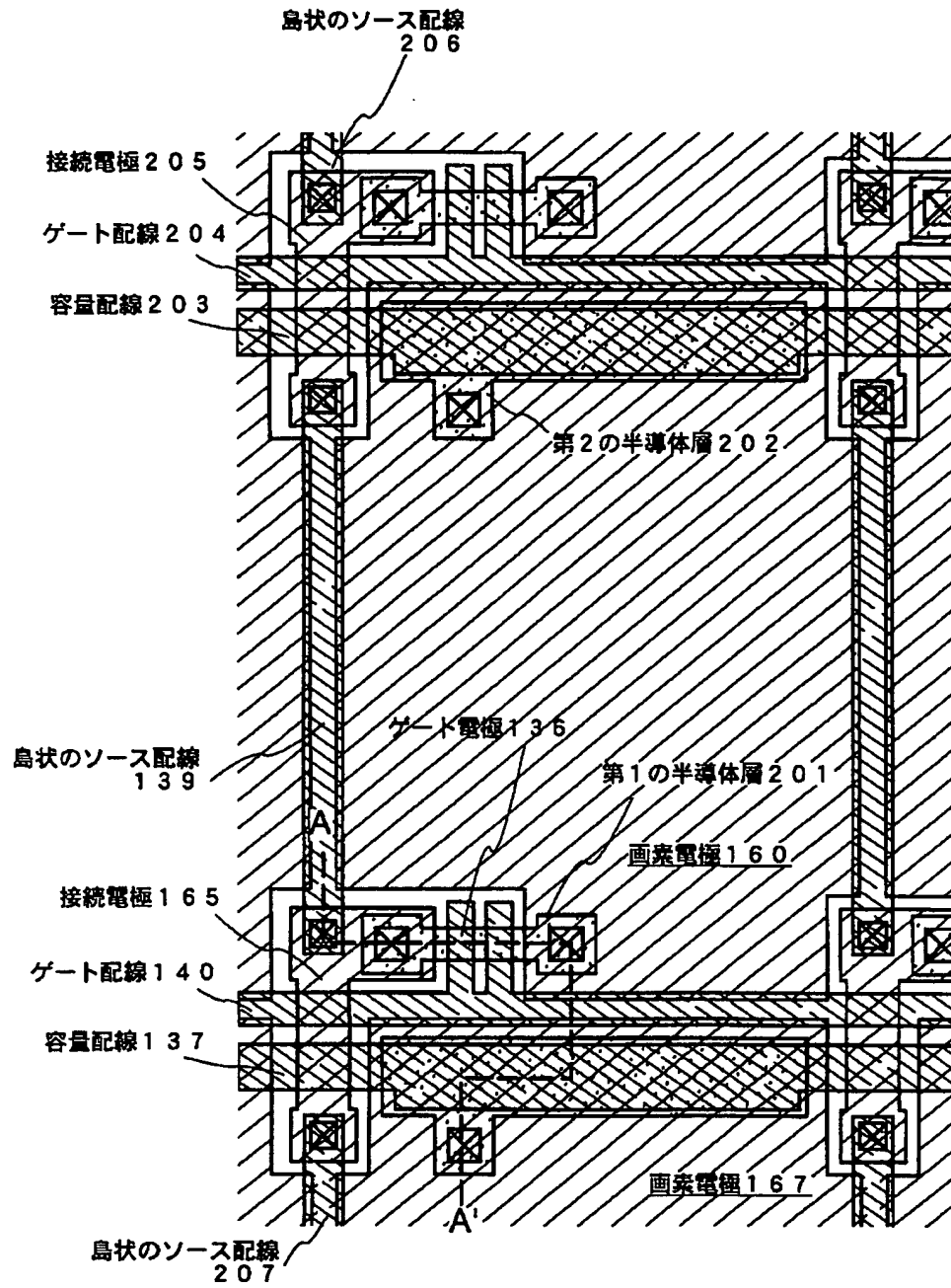
【図１５】 電子機器の一例を示す図。（実施例９）

【図１６】 アクティブマトリクス基板の作製工程の断面拡大図を示す図。

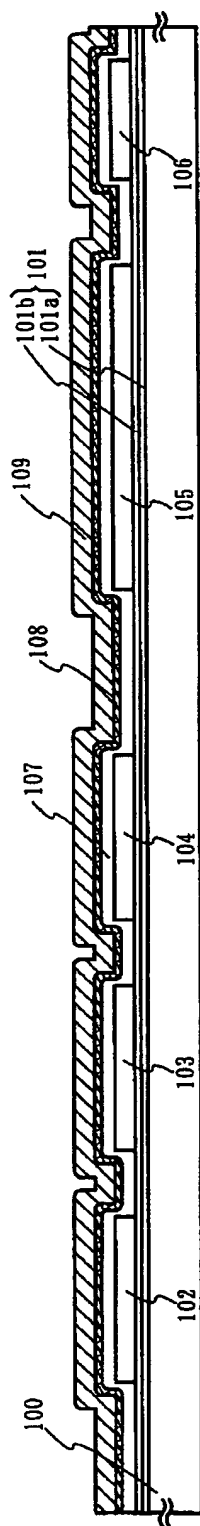
【図１０】



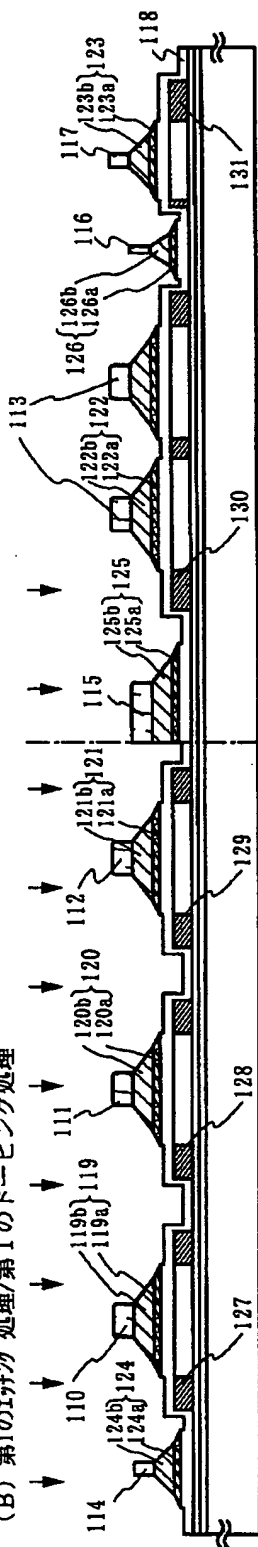
【図1】



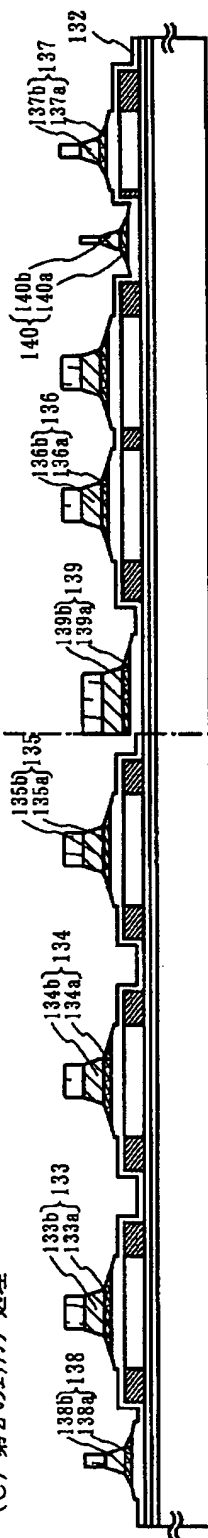
(A) 第1の導電膜と第2の導電膜の形成



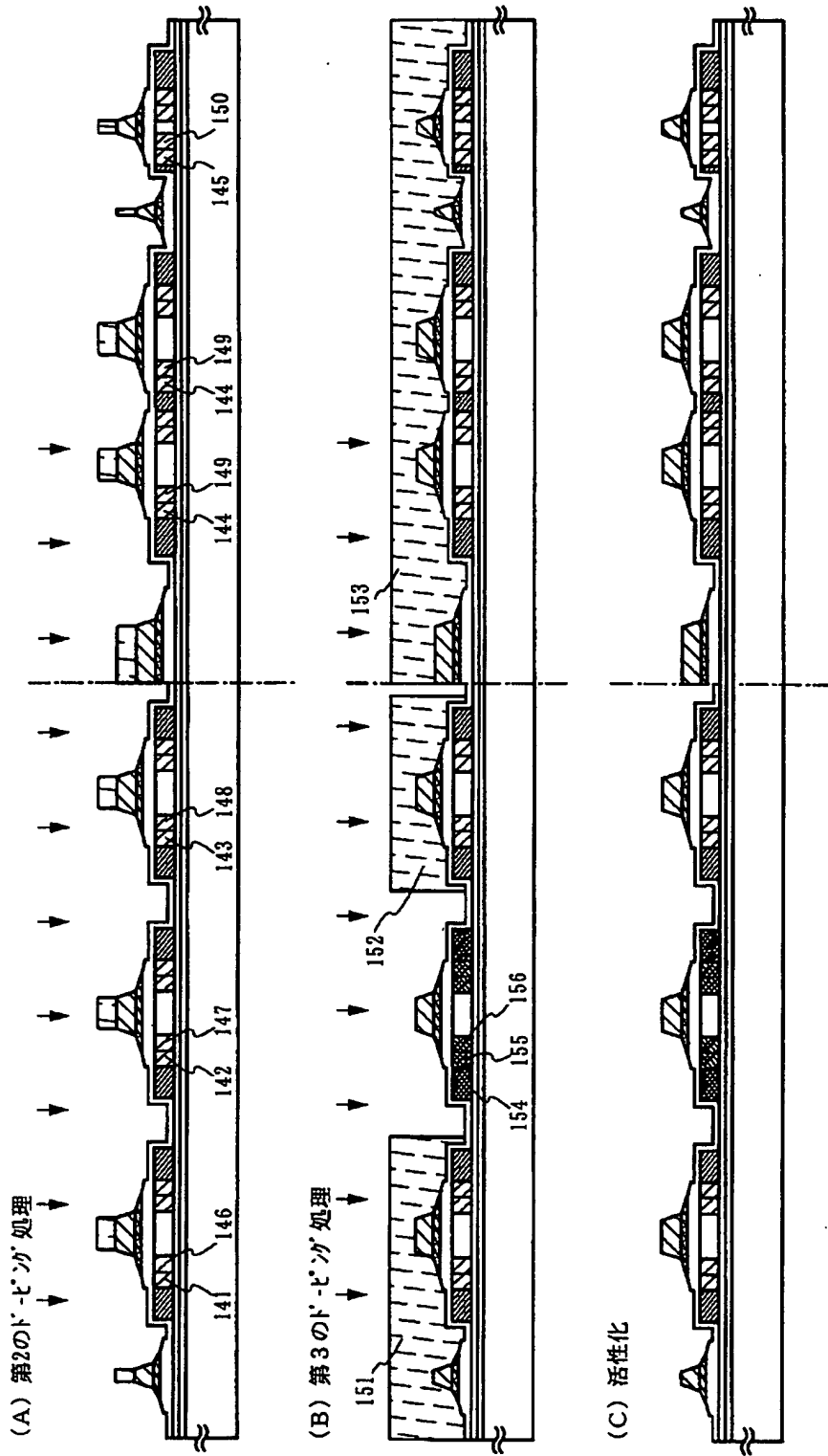
(B) 第1のEtching処理/第1のドーピング処理



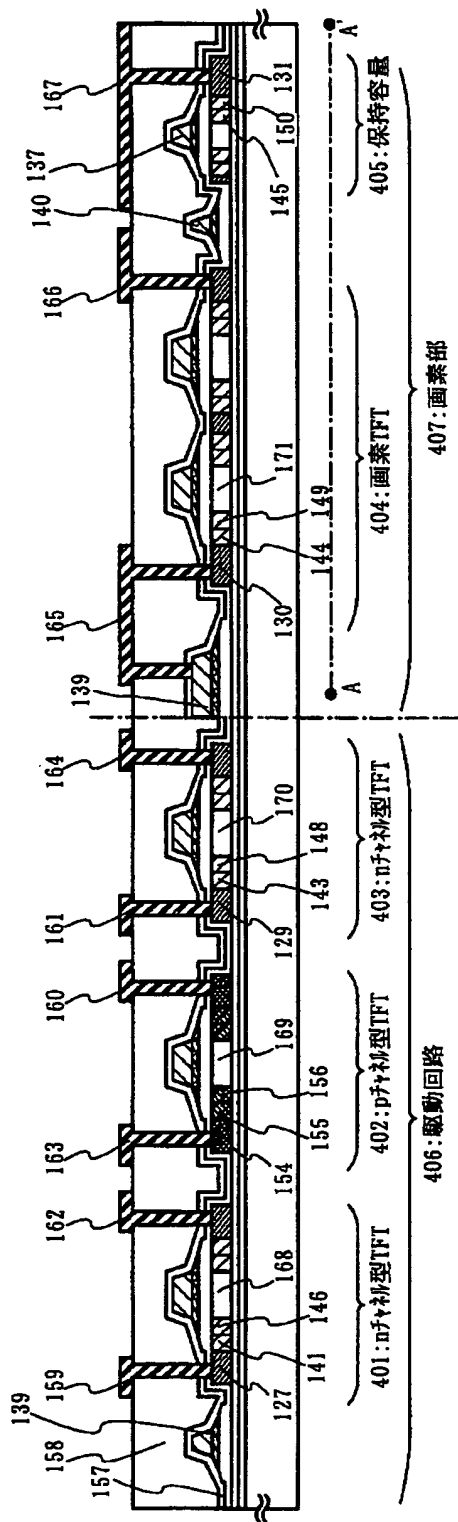
(C) 第2のEtching処理



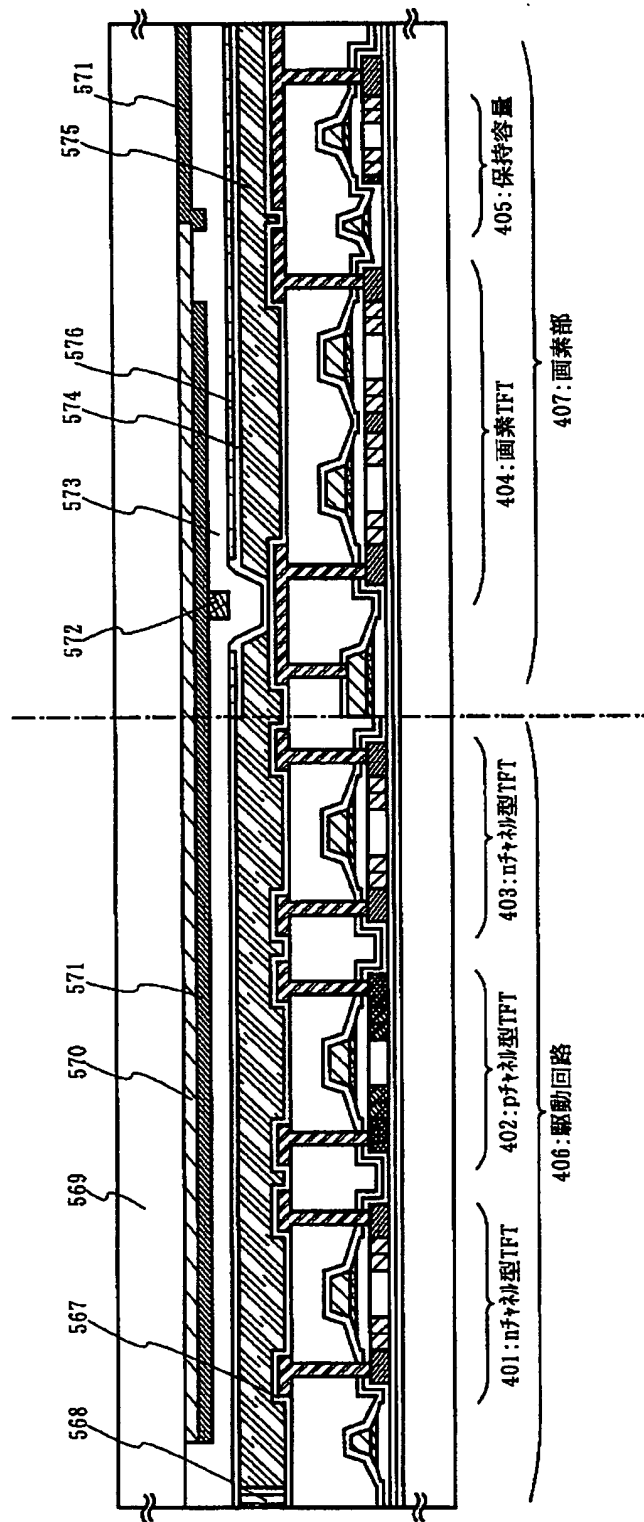
【図3】



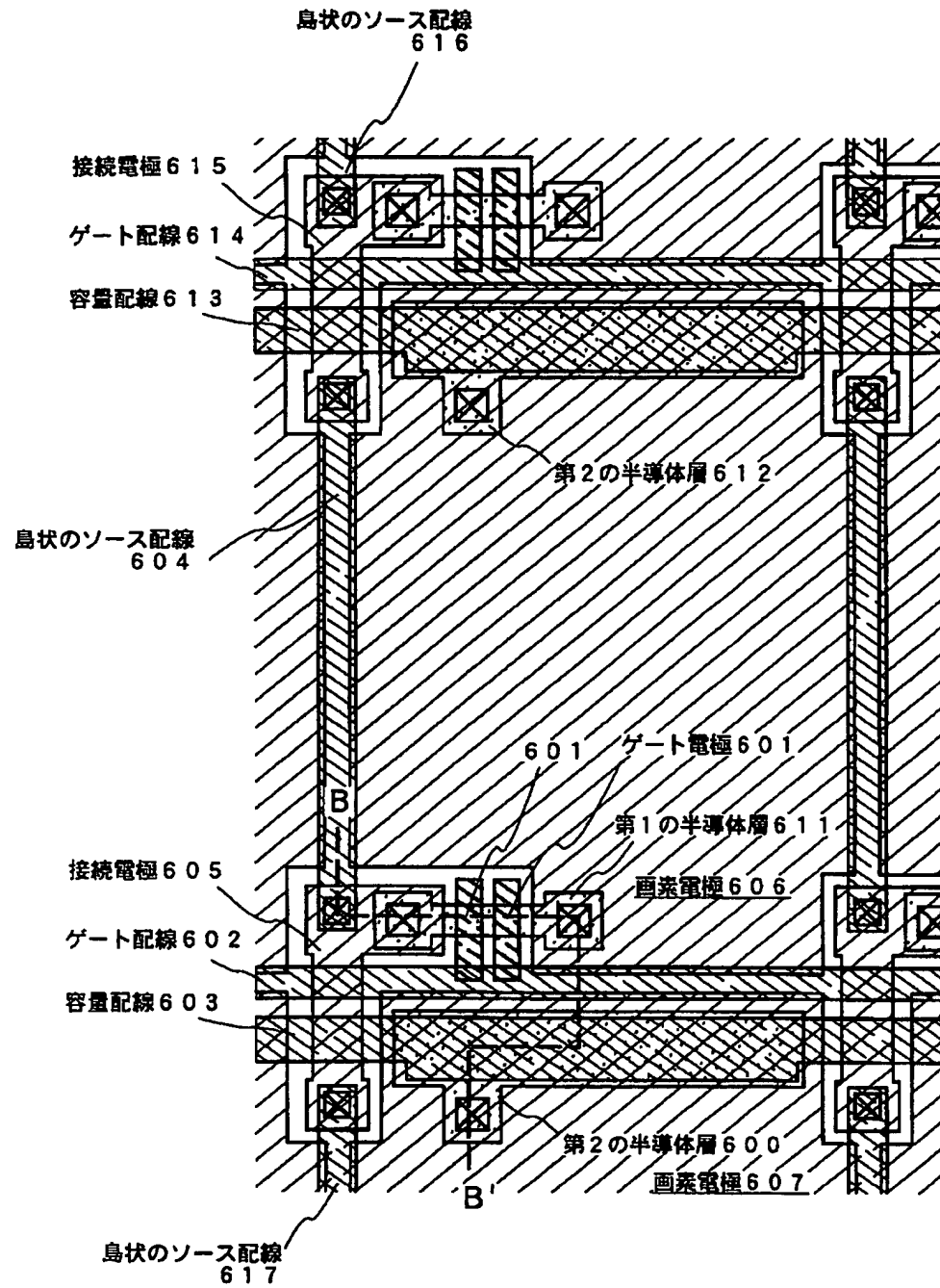
【図4】



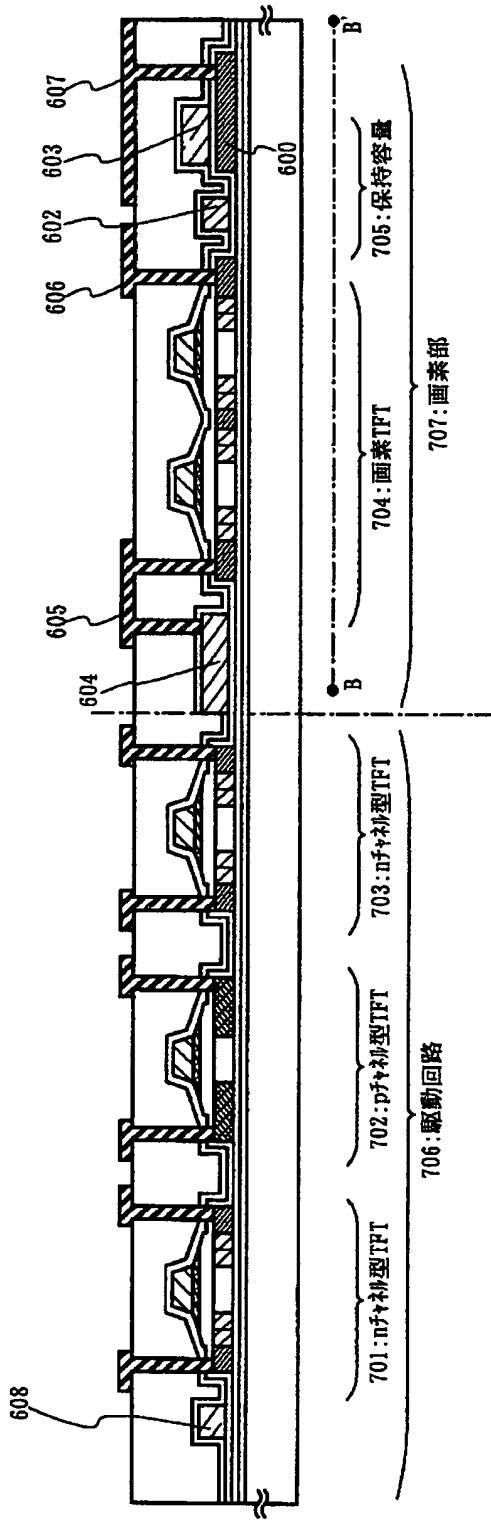
【図5】



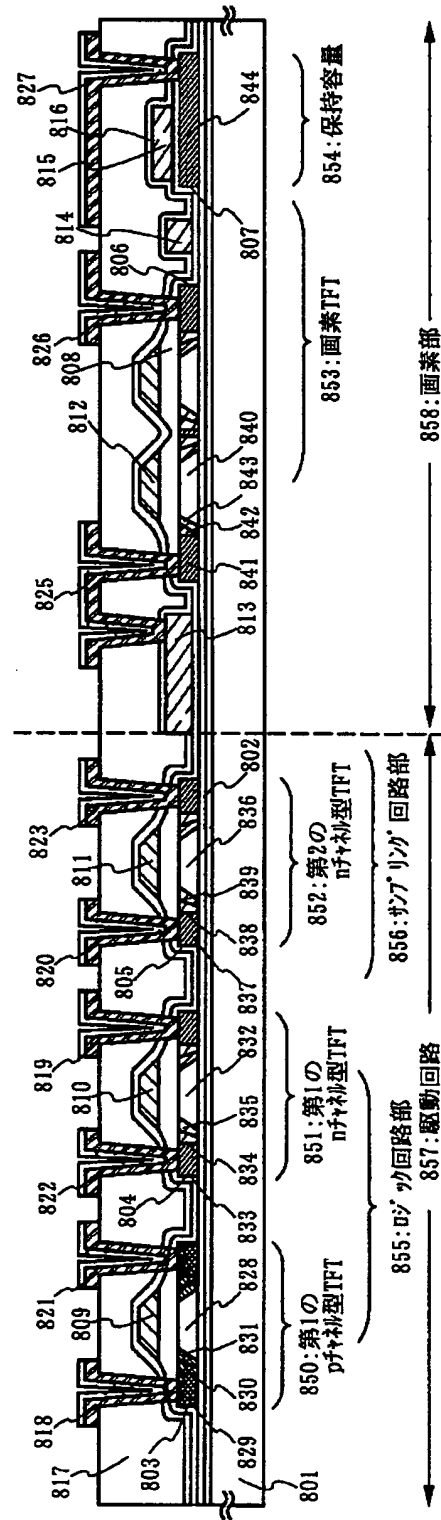
【図6】



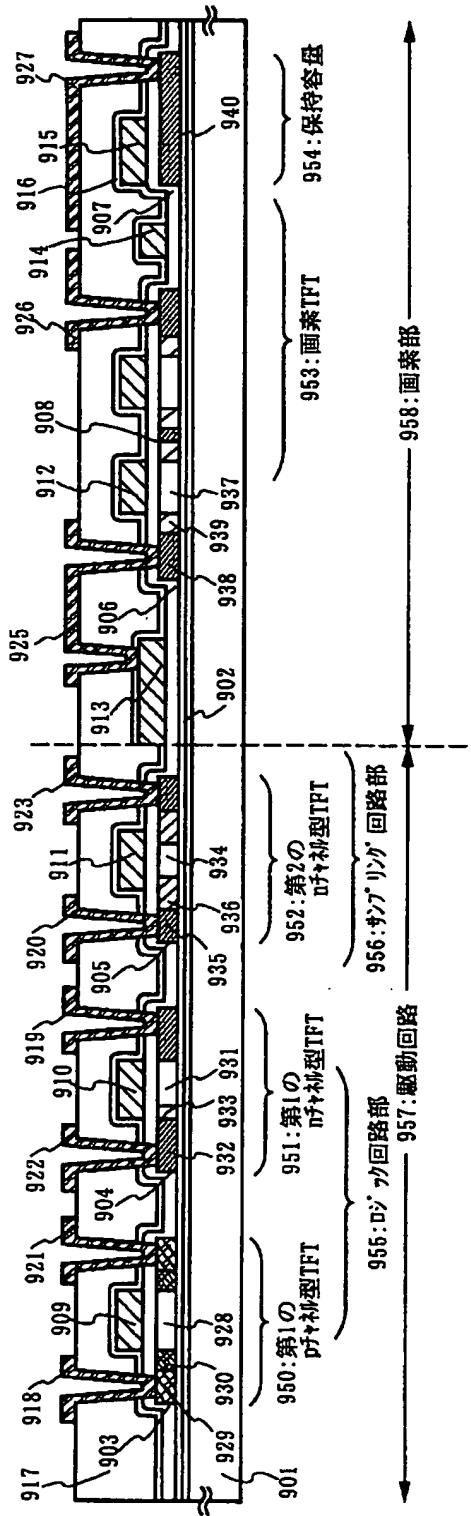
【図 7】



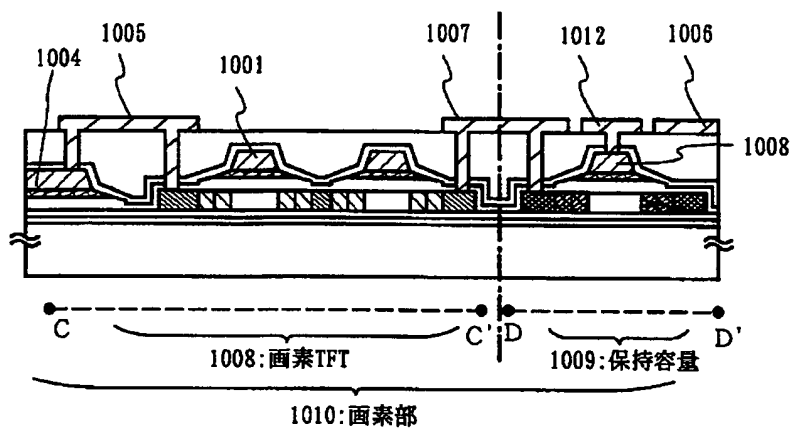
【図 8】



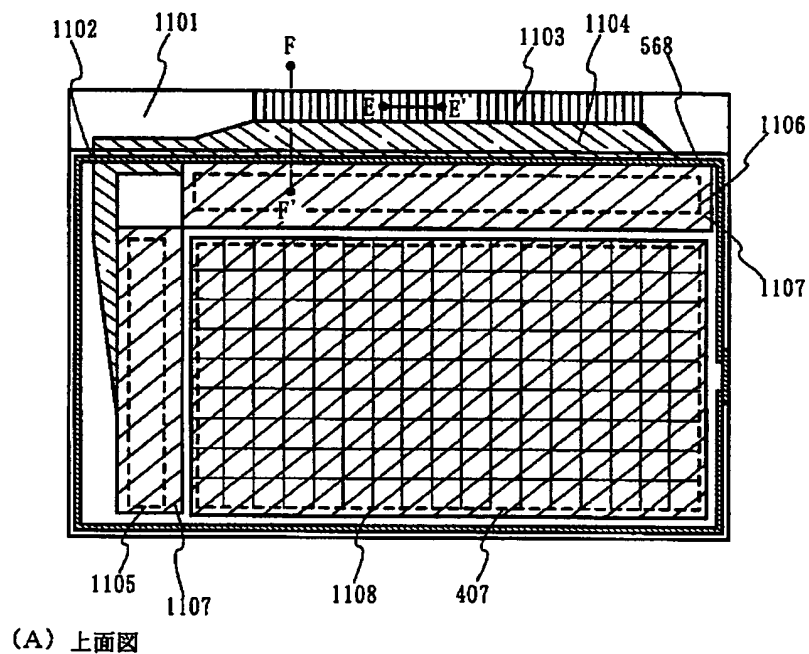
[図9]



【図11】



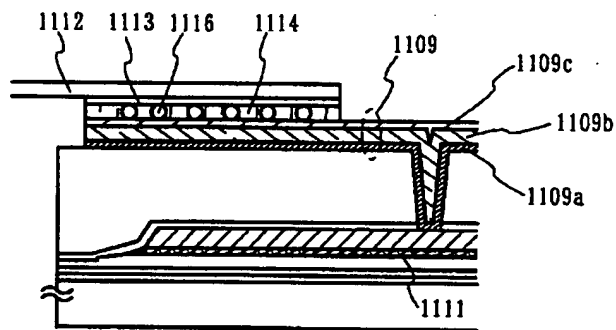
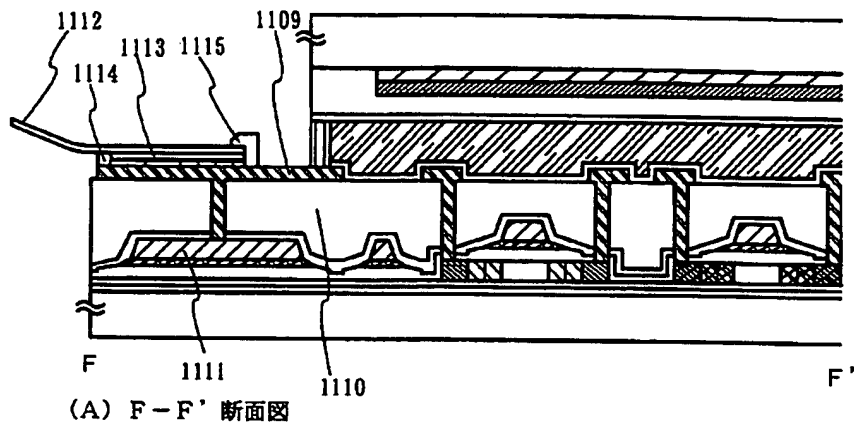
【図12】



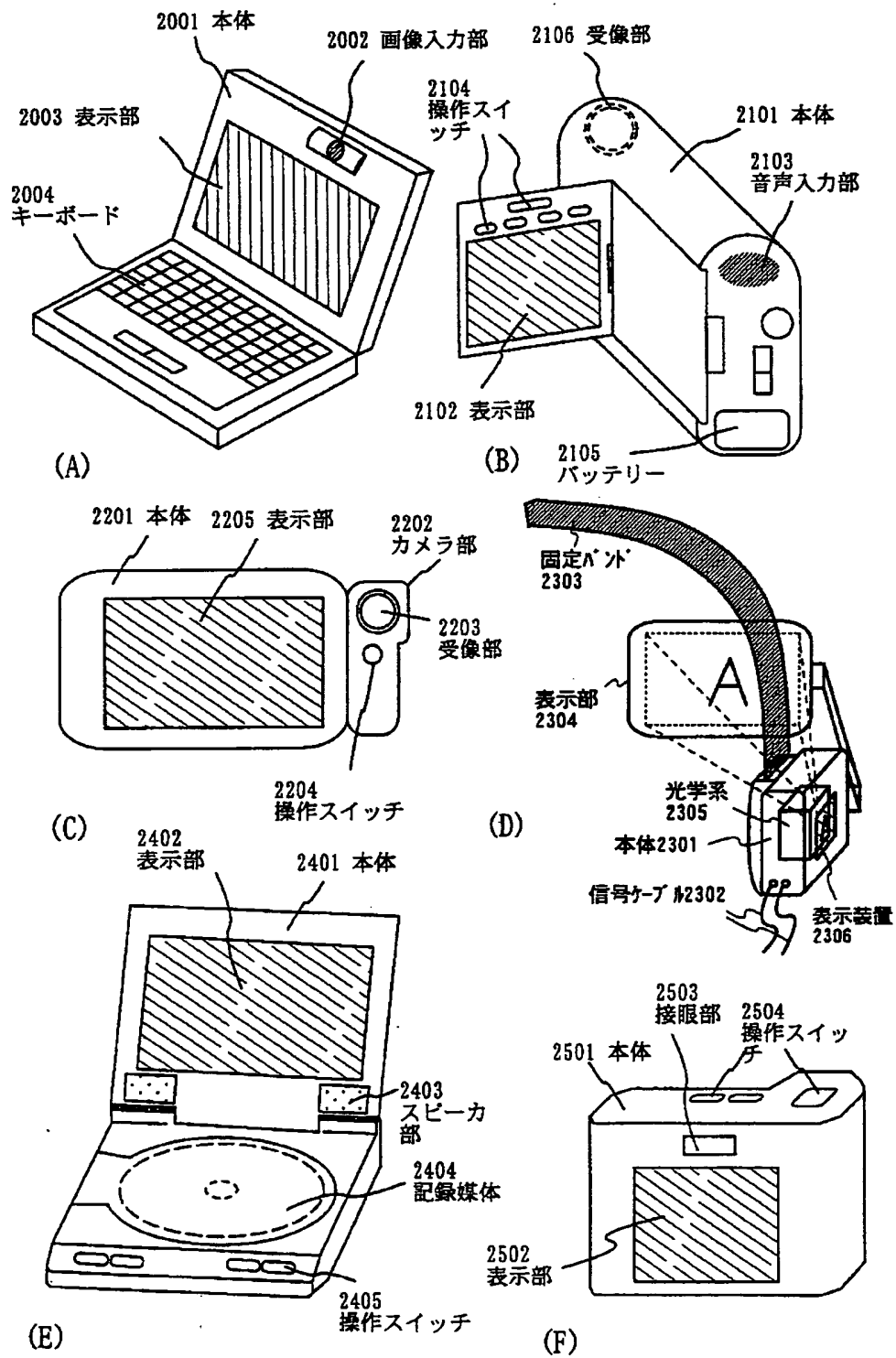
(A) 上面図

(B) E-E' 断面図

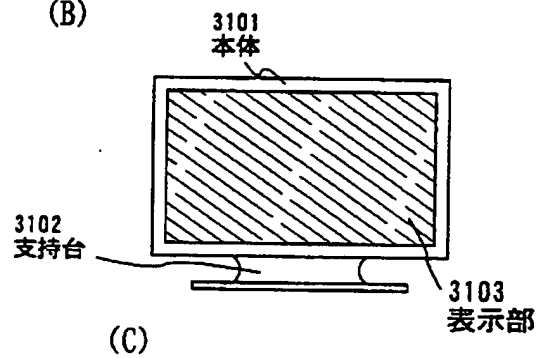
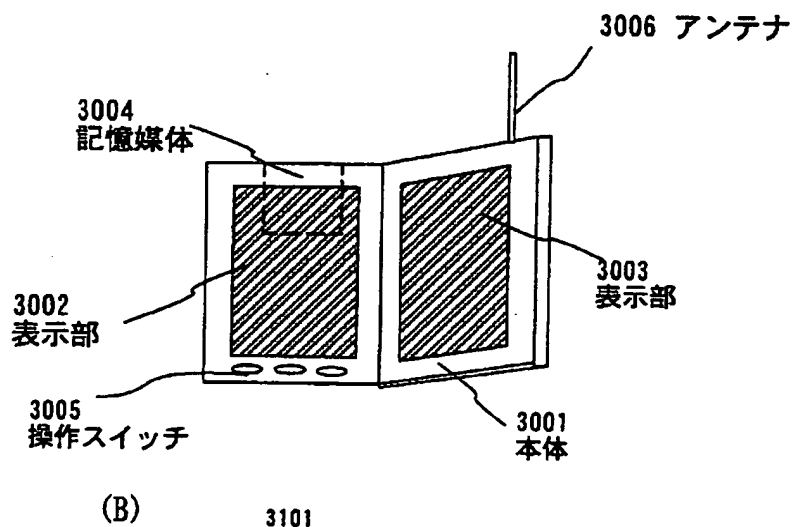
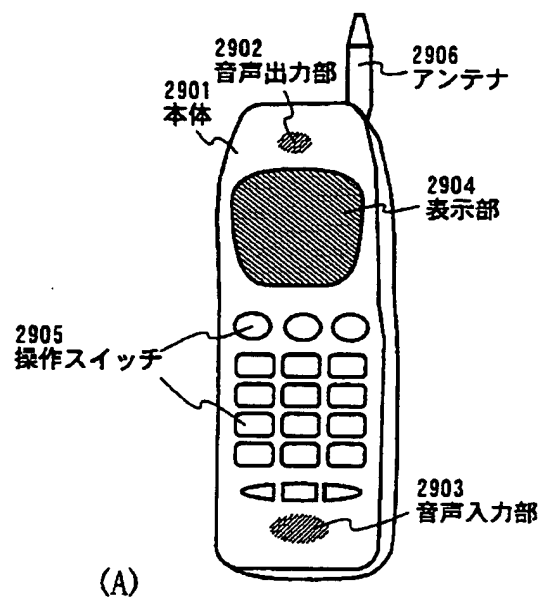
【図13】



【図14】

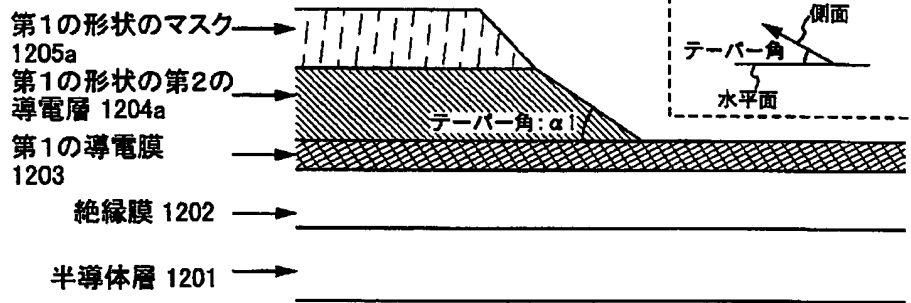


【図15】

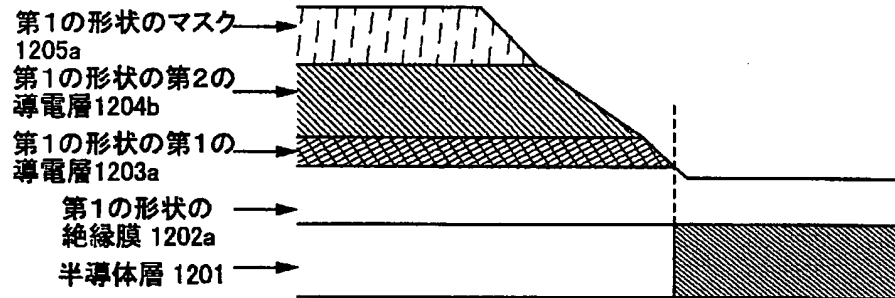


【図16】

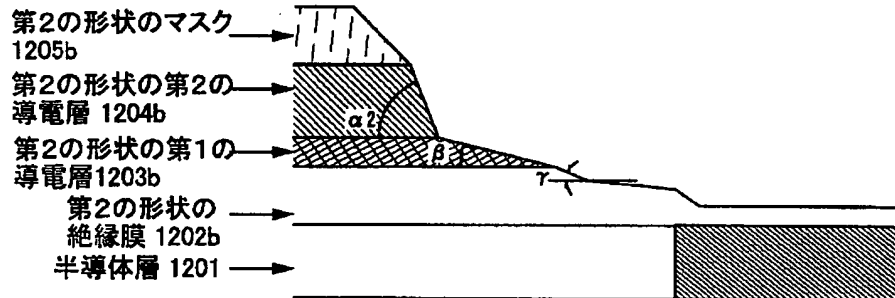
(A)



(B)



(C)



(D)

